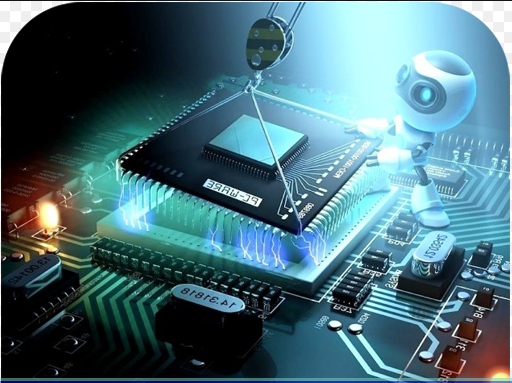
|  |
| --- |
| ΜΗΧΑΝΙΚΩΝ Η/Υ & ΠΛΗΡΟΦΟΡΙΚΗΣ |
| ΕΙΣΑΓΩΓΗ ΣΕ VLSI |
| ΑΝΑΦΟΡΑ ΕΡΓΑΣΤΗΡΙΟΥ |

|  |
| --- |
| Γιώργος Ντάκος 1059569  2/2/2020 |



ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ

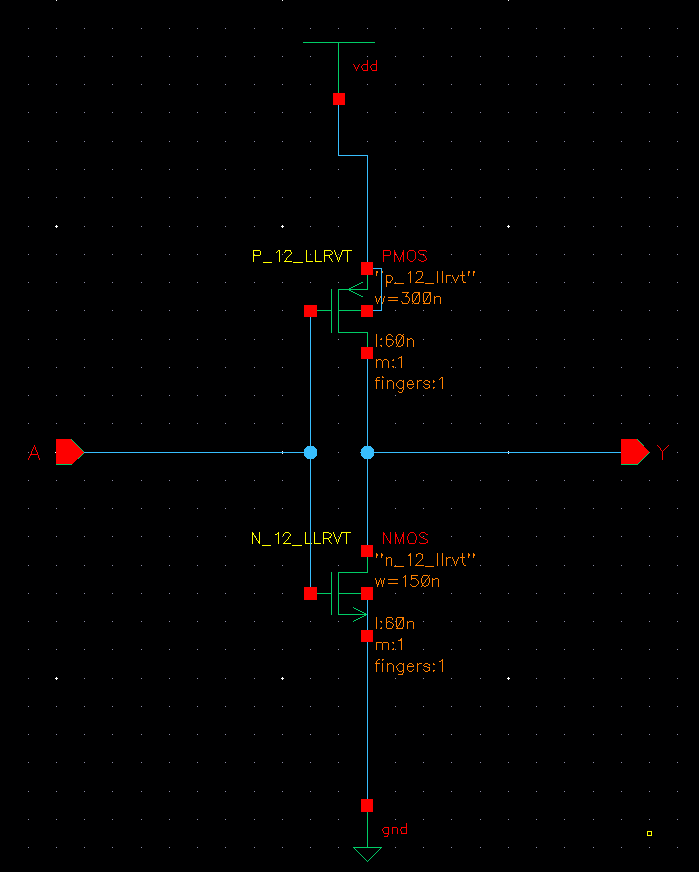
ΑΣΚΗΣΗ 1

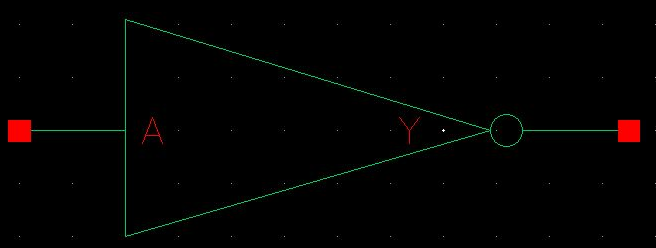
Η άσκηση θέλει να σχεδιάσουμε έναν αντιστροφέα με πλάτος τρανζίστορ 300nm και 150nm για το PMOS και το NMOS αντίστοιχα.

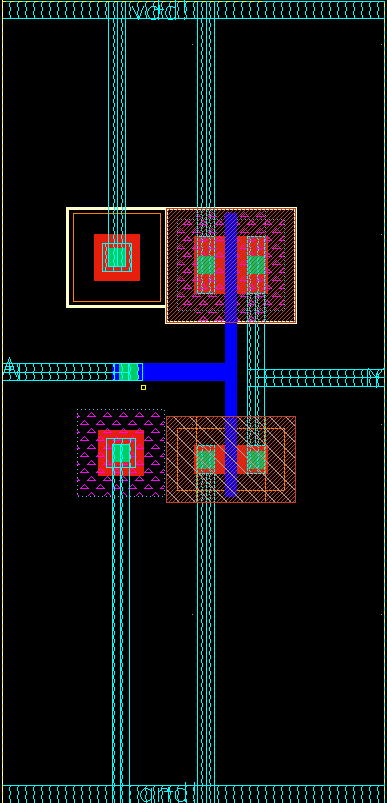
Πίνακας αληθείας αντιστροφέα:



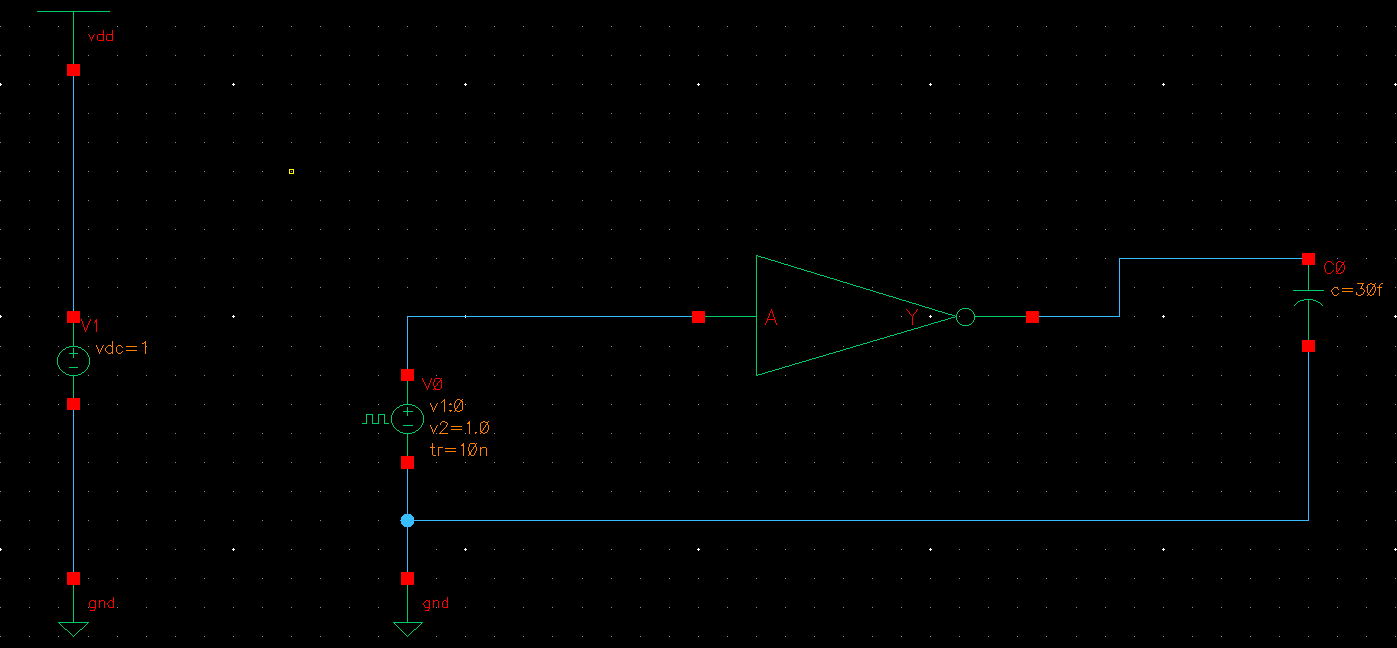
Παρακάτω ακολουθούν το schematic,symbol και το layout του αντιστροφέα.





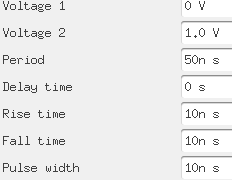


Στην συνέχεια βλέπουμε το simulation του αντιστροφέα μας για να διαπιστώσουμε την ορθή λειτουργία του.



Στο Αριστερό κομμάτι της εικόνας βλέπουμε την τροφοδοσία του κυκλώματος (δηλαδή παίζει το ρόλο της μπαταρίας) διότι δημιουργείται διαφορά δυναμικού.

Στην είσοδο του αντιστροφέα έχουμε βάλει μια γεννήτρια παλμών με τα εξής χαρακτηριστικά:

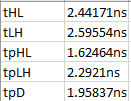


Εξομοιώνουμε το κύκλωμα μας κάνουμε transient analysis και παίρνουμε τα εξής αποτελέσματα:



Η κόκκινη γραμμή μας δείχνει την είσοδο της πύλης και η πράσινη γραμμή μας δείχνει την έξοδο της.

Παρακάτω παραθέτω τους χρόνους της πύλης NOT(ζητούνται από την άσκηση 3)

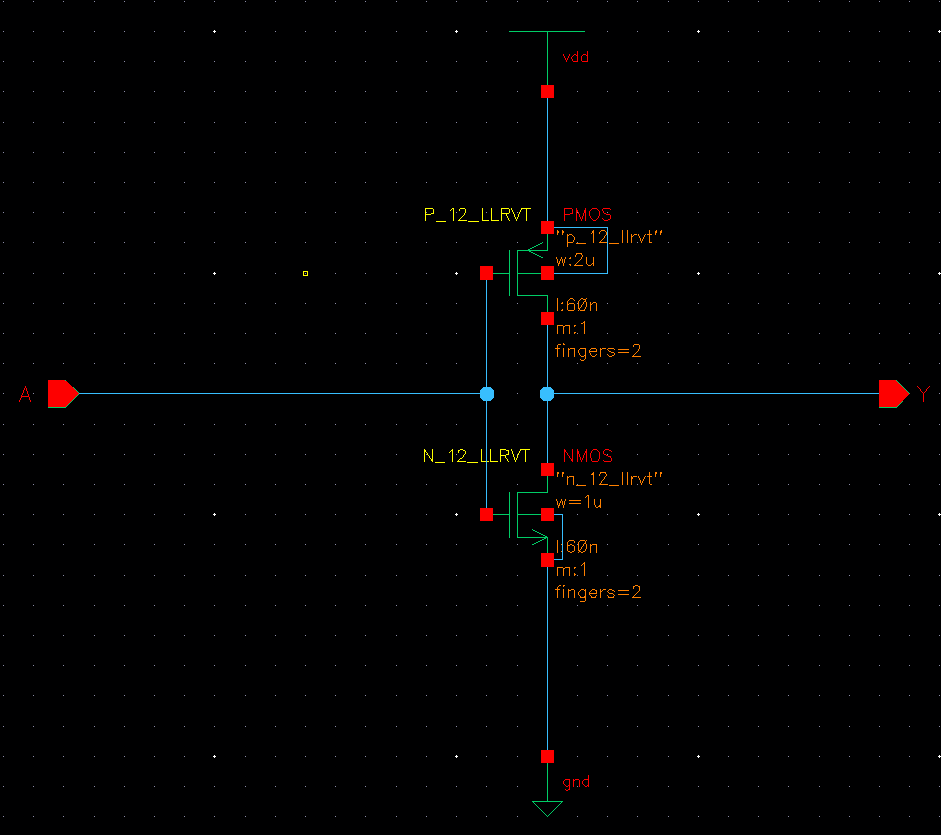


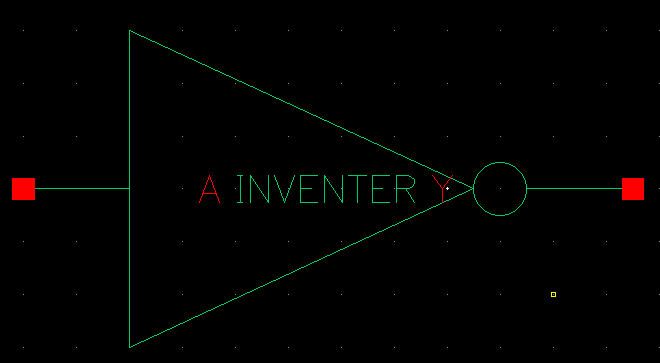
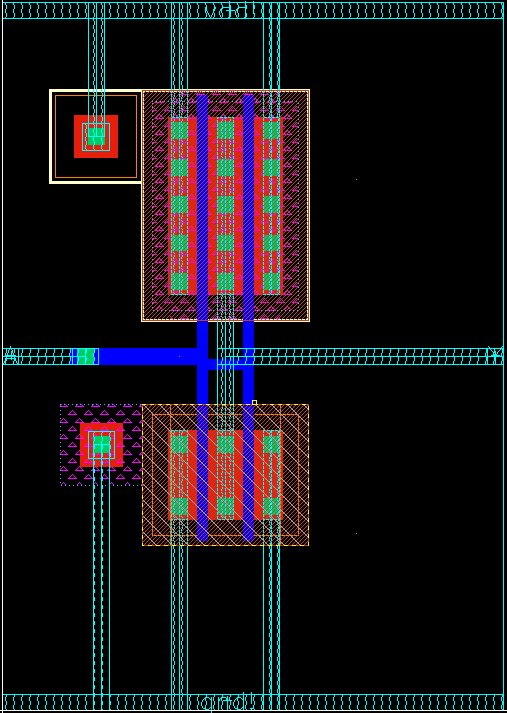
Το τι δηλώνει κάθε σύμβολο στον πίνακα εξηγείται στην παραπομπή στην τελευταία σελίδα της αναφοράς.

**Ακολουθεί η εργασία για το σπίτι της άσκησης 1**

Όπως εργαστήκαμε και στο από πάνω κύκλωμα της πύλης NOT έτσι θα εργαστούμε και τώρα μόνο που θα αλλάξουμε τα μεγέθη του κάθε τρανζίστορ. Οπότε θα έχουμε σύμφωνα με την άσκηση πλάτος καναλιού 2um και 1um για το PMOSκαι για το NMOS αντίστοιχα και μήκος καναλιού παραμένει το ίδιο με πριν(60nm).Επίσης το κάθε τρανζίστορ θα σχηματίζεται από 2 fingers.

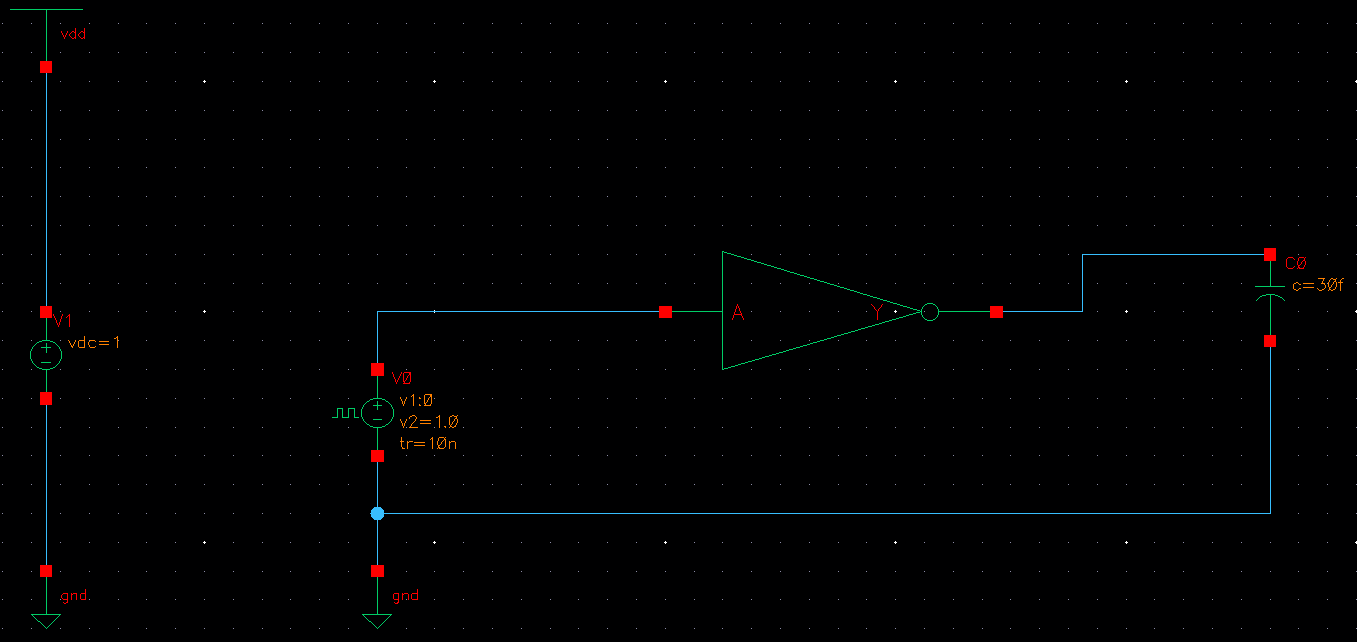
Παρακάτω παραθέτω το schematic,symbol και το layout του συγκεκριμένου αντιστροφέα.



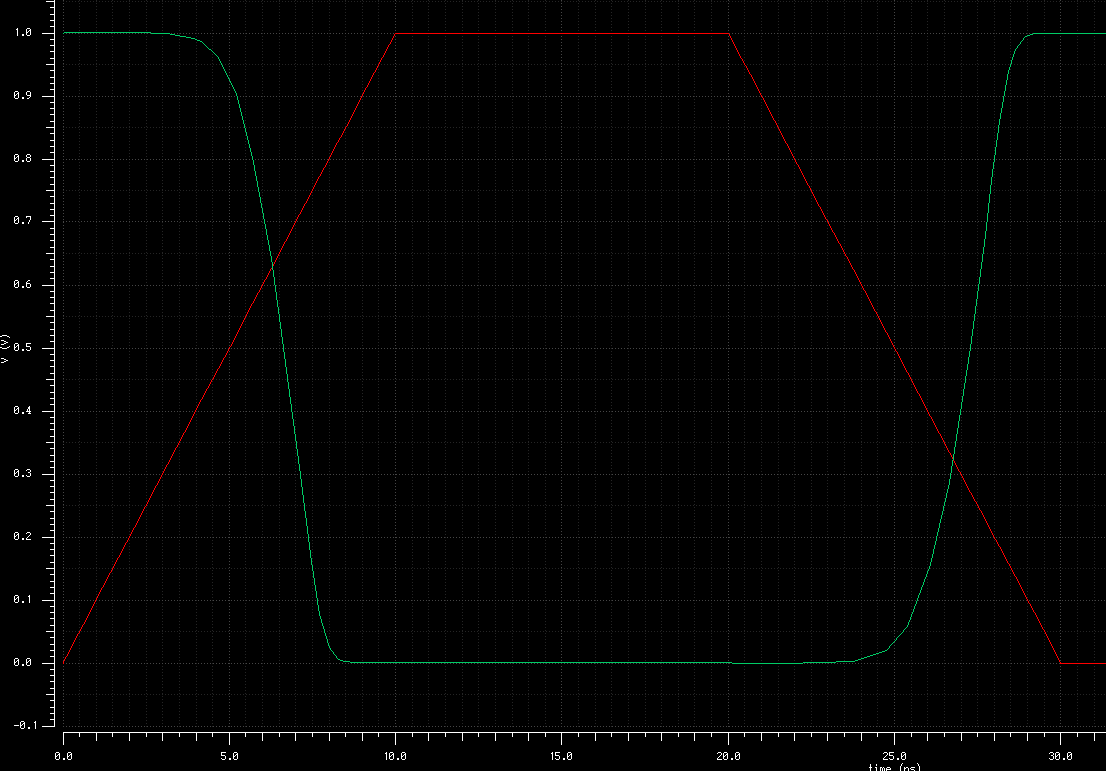


Τα αποτελέσματα του layout από τα run DRC και run LVS και των 2 παραπάνω αντιστροφέων θα παρατεθούν στην **ΑΣΚΗΣΗ 4** διότι εκεί είναι ζητούμενα.

Στην συνέχεια βλέπουμε το simulation του αντιστροφέα μας για να διαπιστώσουμε την ορθή λειτουργία του.

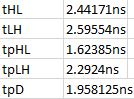


Τα χαρακτηριστικά της γεννήτριας παλμών είναι τα ίδια με πριν. Εξομοιώνουμε το κύκλωμα μας κάνουμε transient analysis και παίρνουμε τα εξής αποτελέσματα:



Η κόκκινη γραμμή μας δείχνει την είσοδο της πύλης και η πράσινη γραμμή μας δείχνει την έξοδο της.

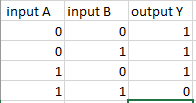
Παρακάτω παραθέτω τους χρόνους της πύλης NOT (ζητούνται από την άσκηση 3)



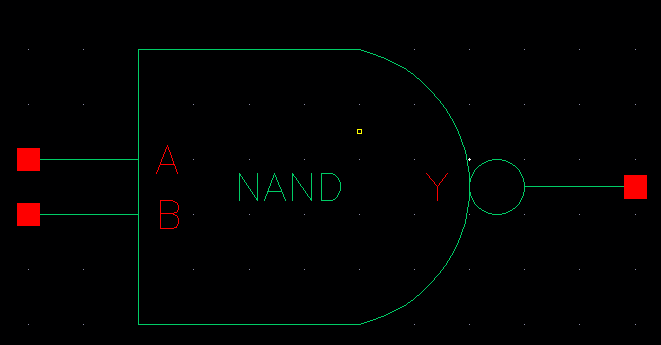
**ΑΣΚΗΣΗ 2**

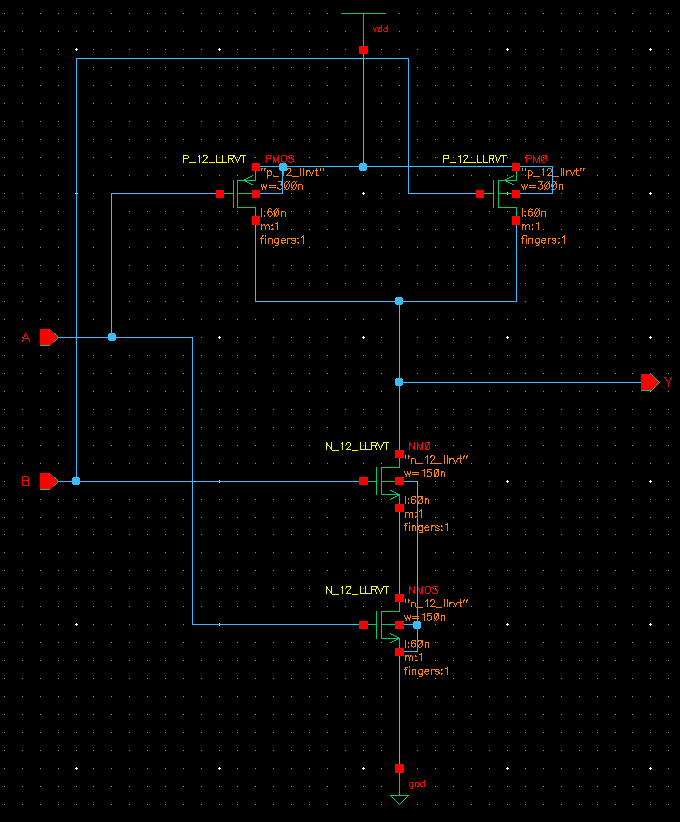
Πρέπει να σχεδιάσουμε μια πύλη NAND 2 εισόδων. Αφού είναι 2 εισόδων θα χρειαστούμε 4 τρανζίστορ 2 PMOSκαι 2 NMOS τα οποία θα τα συνδέσουμε όπως μας δείχνει η εικόνα του schematic.

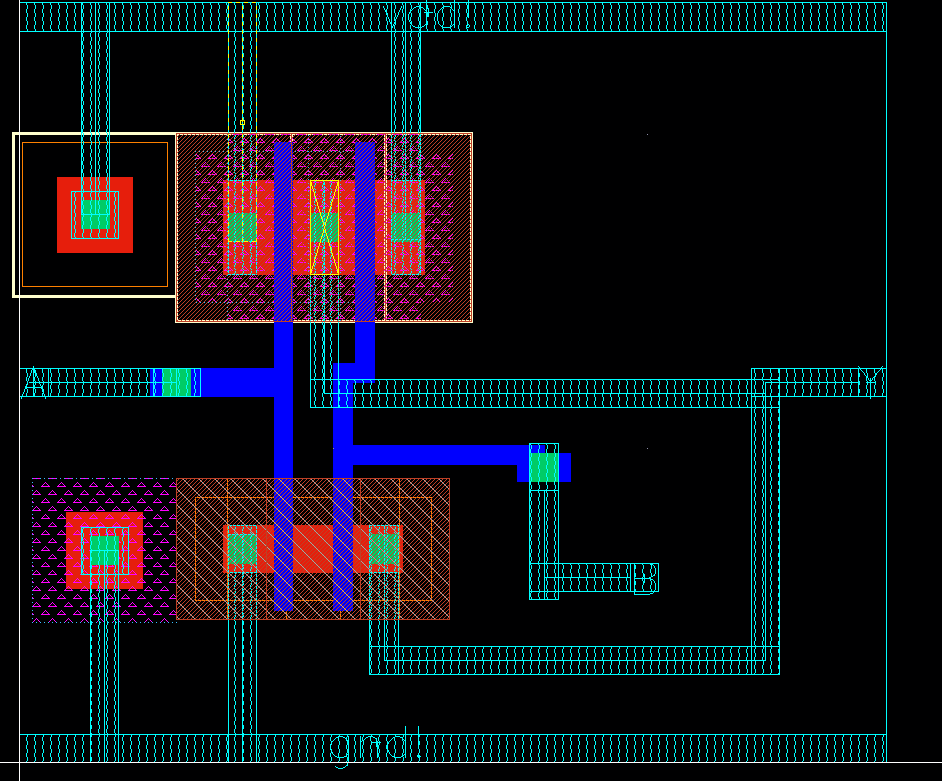
Πίνακας αληθείας NAND 2 εισόδων:



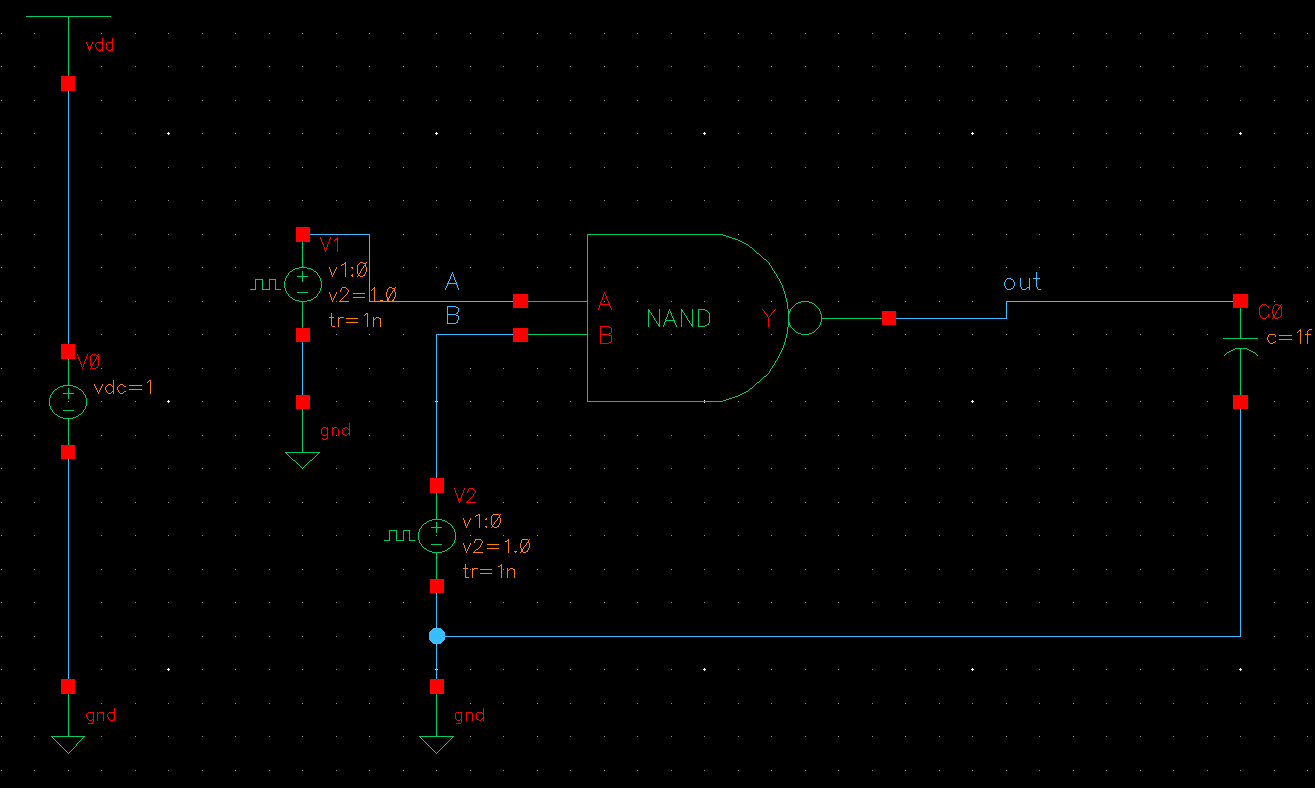
Παρακάτω ακολουθούν το schematic,symbol και το layout της NAND.



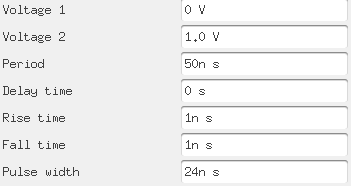




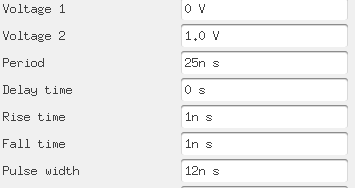
Στην συνέχεια βλέπουμε το simulation της NAND 2 εισόδων για να διαπιστώσουμε την ορθή λειτουργία της.

Στην κάθε είσοδο της NAND έχουμε βάλει μια γεννήτρια παλμών με τα εξής χαρακτηριστικά:

Για το V1



Για το V2



Εξομοιώνουμε το κύκλωμα μας κάνουμε transient analysis και παίρνουμε τα εξής αποτελέσματα:



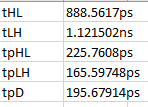
Κόκκινο: Είσοδος Α

Πράσινο: Είσοδος Β

Μώβ: Έξοδος Υ

Βλέπουμε όλους τους ελαχιστόρους και παρατηρούμε ότι το κύκλωμα μας λειτουργεί ορθά.

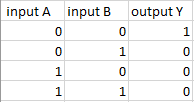
Παρακάτω παραθέτω τους χρόνους της πύλης NAND 2 εισόδων (ζητούνται από την άσκηση 3):



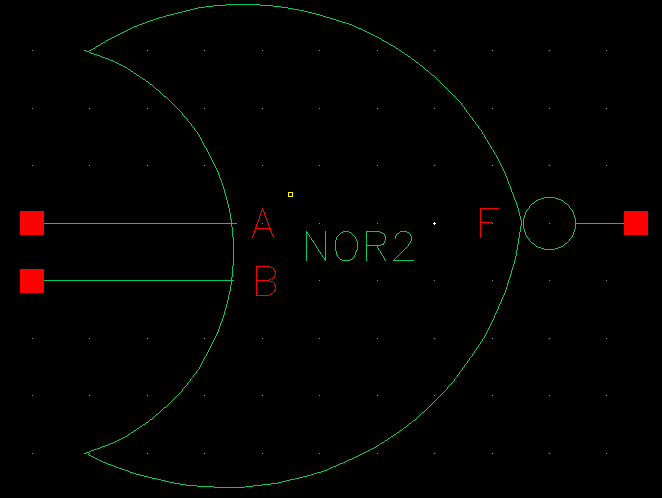
**Εργασία για το σπίτι της ΑΣΚΗΣΗΣ 2**

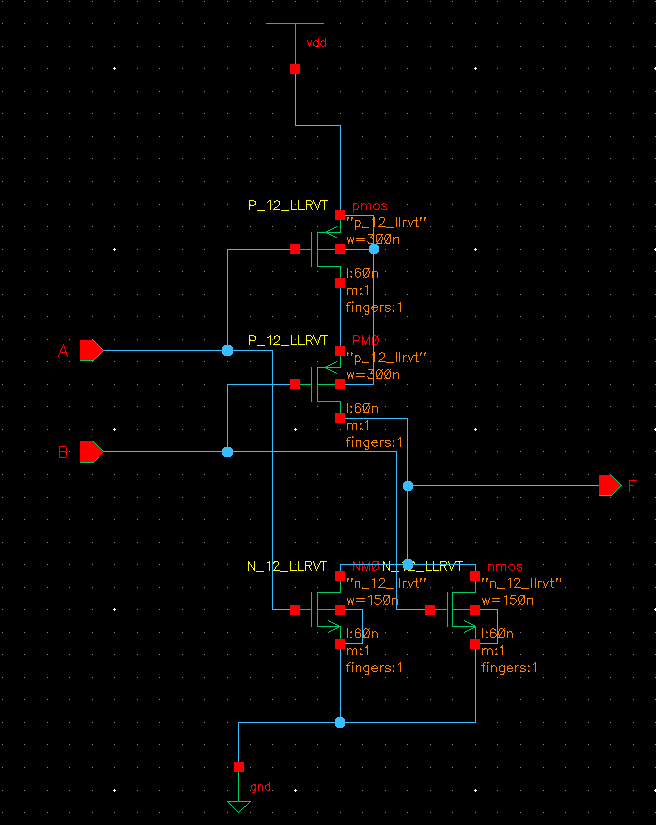
Η άσκηση αυτή μας ζητάει να φτιάξουμε μια πύλη NOR 2 εισόδων θα χρειαστούμε 4 τρανζίστορ 2 PMOS και 2 NMOS τα οποία θα τα συνδέσουμε όπως μας δείχνει η εικόνα του schematic.

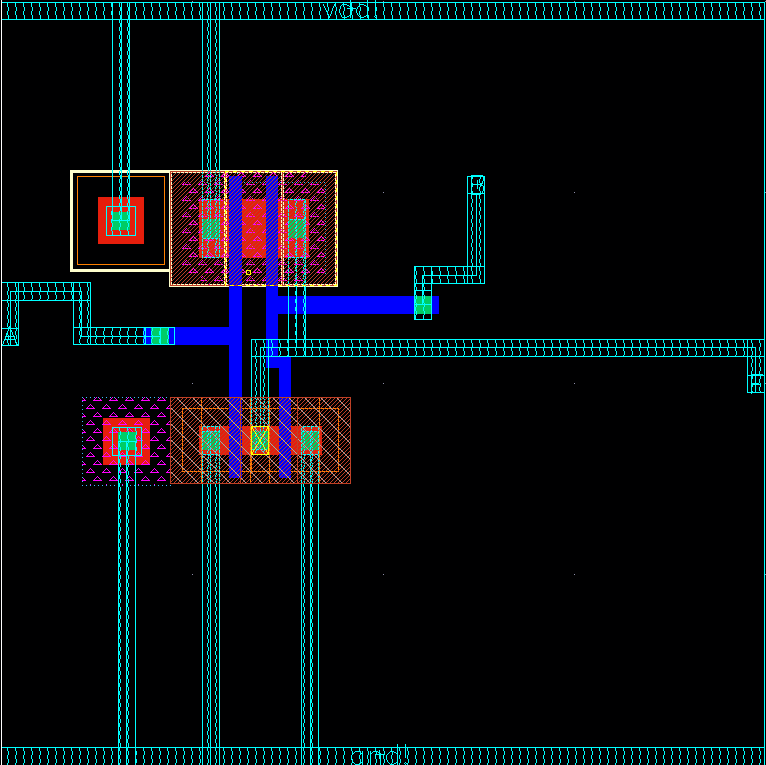
Πίνακας αληθείας NOR 2 εισόδων:



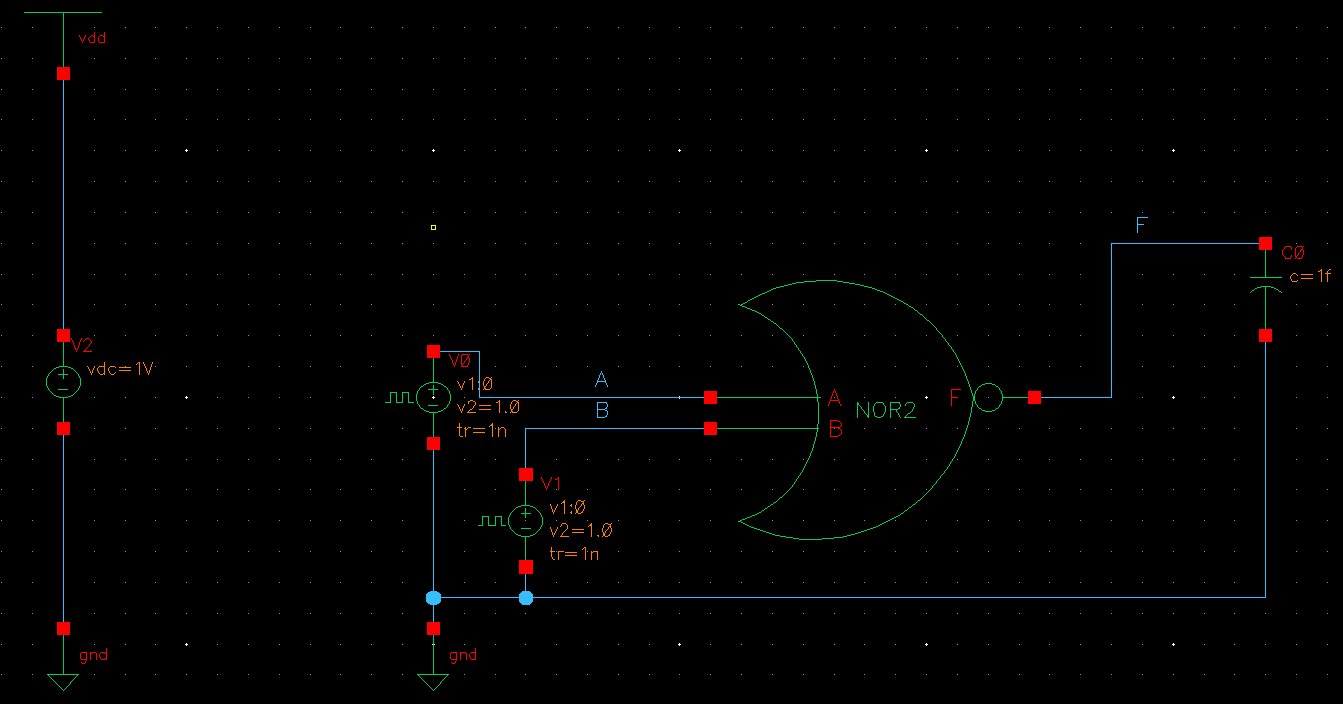
Παρακάτω ακολουθούν το schematic,symbol και το layout της NOR.







Στην συνέχεια βλέπουμε το simulation της NOR 2 εισόδων για να διαπιστώσουμε την ορθή λειτουργία της.



Τα χαρακτηριστικά κάθε γεννήτριας παλμών είναι τα ίδια με πριν. Εξομοιώνουμε το κύκλωμα μας κάνουμε transient analysis και παίρνουμε τα εξής αποτελέσματα:



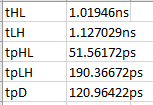
Κόκκινο: Είσοδος Α

Πράσινο: Είσοδος Β

Μωβ: Έξοδος Υ

Βλέπουμε όλους τους ελαχιστόρους και παρατηρούμε ότι το κύκλωμα μας λειτουργεί ορθά.

Παρακάτω παραθέτω τους χρόνους της πύλης NAND 2 εισόδων (ζητούνται από την άσκηση 3):

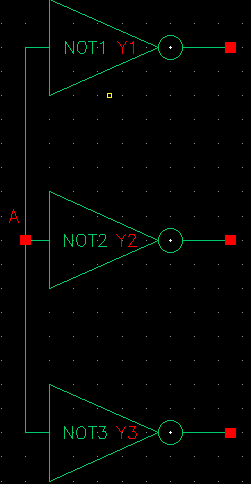


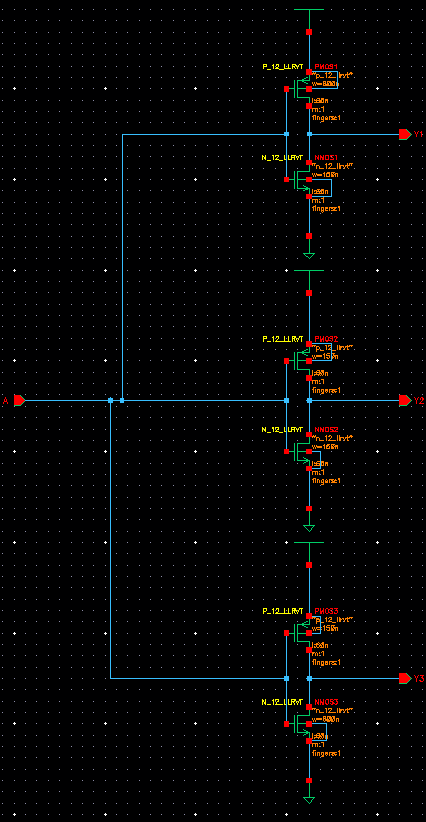
Τα αποτελέσματα του layout από τα run DRC και run LVS και των 2 παραπάνω πυλών(NAND και NOR) θα παρατεθούν στην **ΑΣΚΗΣΗ 4** διότι εκεί είναι ζητούμενα.

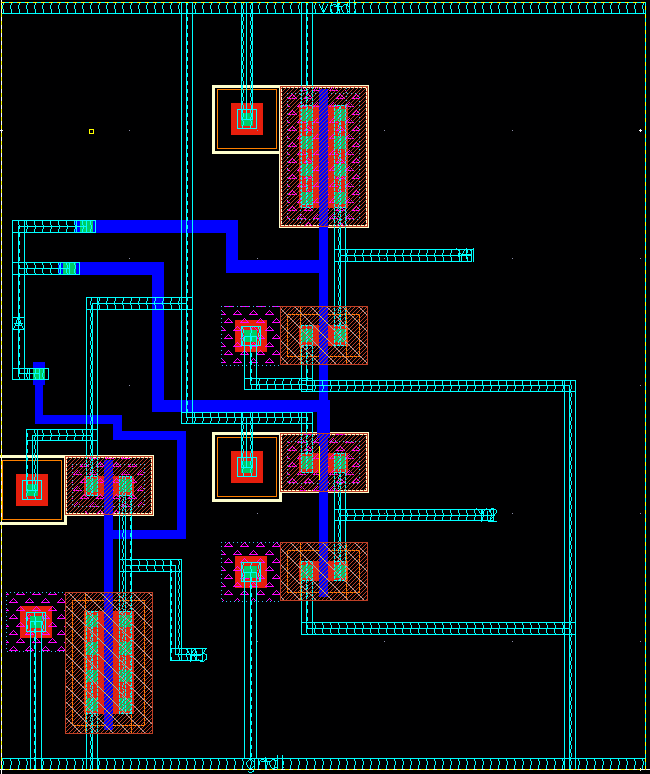
**ΑΣΚΗΣΗ 3**

Πρέπει να σχεδιάσουμε ένα κύκλωμα με 3 πύλες NOT όπου θα έχουν κοινή είσοδο A και ξεχωριστές εξόδους για την κάθε μία. Θα χρειαστούμε 2 τρανζίστορ για κάθε πύλη NOT οπότε συνολικά 6 τρανζίστορ. Κάθε πύλη NOT έχει τα δικά της χαρακτηριστικά στα τρανζίστορ NMOS και PMOS.

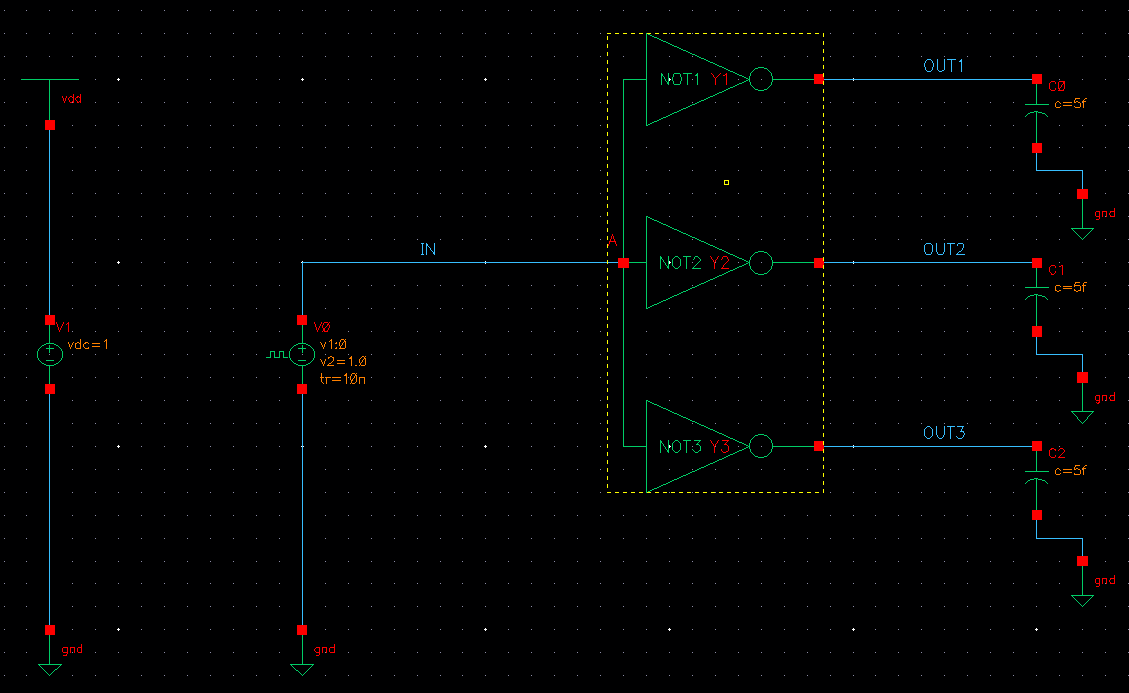
Παρακάτω ακολουθούν το schematic,symbol και το layout του κυκλώματος της άσκησης.



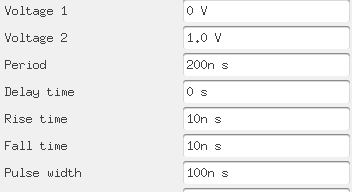




Στην συνέχεια βλέπουμε το simulation του κυκλώματος για να διαπιστώσουμε την ορθή λειτουργία του.



Στην είσοδο του κυκλώματος έχουμε βάλει μια γεννήτρια παλμών με τα εξής χαρακτηριστικά:



Εξομοιώνουμε το κύκλωμα μας κάνουμε transient analysis και παίρνουμε τα εξής αποτελέσματα:

Χωρητικότητα ίση με 5f



Κόκκινο: Είσοδος Α

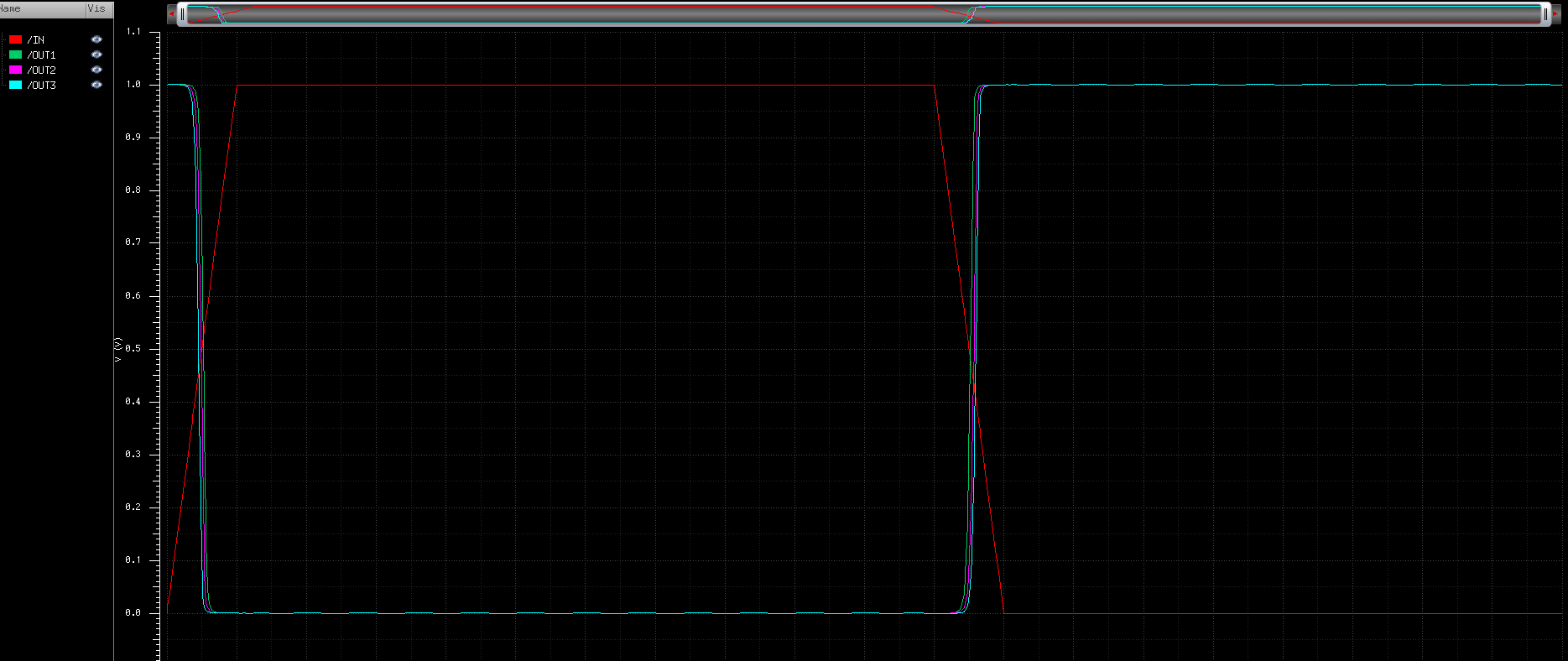
Πράσινο: Έξοδος OUT1

Μωβ: Έξοδος OUT2

Γαλάζιο: Έξοδος OUT3

Παρατηρούμε ότι ενώ ξεκινάει να πηγαίνει σε κατάσταση LOW πρώτα η έξοδος της OUT3 και ακολουθούν οι OUT2,OUT1 στην συνέχεια σε κατάσταση HIGH πηγαίνει η OUT1 πρώτα η οποία ξεκίνησε τελευταία να πηγαίνει σε κατάσταση LOW.Έπειτα ακολουθούν σε κατάσταση HIGH οι έξοδοι OUT2,OUT3.Εμεις περιμέναμε το αντίθετο δηλαδή αφού η έξοδος OUT3 άρχισε πρώτη να πηγαίνει σε κατάσταση LOW θα έπρεπε να ήταν αυτή που θα πάει πρώτη και σε κατάσταση HIGH.Αυτό δεν συμβαίνει όμως για τον λόγο του ότι το τρανζίστορ PMOSέχει μεγαλύτερη αντίσταση από ότι έχει το NMOS.Οπότε όταν η είσοδος μας πηγαίνει σε κατάσταση HIGH η OUT3 επειδή έχει μεγαλύτερο πλάτος στο τρανζίστορ NMOS από τι στο PMOS η έξοδος της συνδέεται πιο γρήγορα με την γείωση αφού στο PDN έχει λιγότερη αντίσταση. Για την OUT1 ισχύει το αντίστροφο διότι έχει μεγαλύτερο πλάτος στο τρανζίστορ PMOS από τι στο NMOS οπότε στο PDN έχει περισσότερη αντίσταση οπότε η έξοδος συνδέεται πιο αργά στην γείωση. Τώρα όταν η είσοδος μας πηγαίνει σε κατάσταση LOW η OUT1 επειδή έχει μεγαλύτερο πλάτος στο τρανζίστορ PMOS από τι έχει η OUT3 συνεπάγεται ότι έχει λιγότερη αντίσταση στο PUN οπότε η έξοδος του συνδέεται πιο γρήγορα στην τάση. Από την άλλη επειδή η OUT3 έχει μικρότερο πλάτος στο PMOS τρανζίστορ συνεπάγεται ότι έχει μεγαλύτερη αντίσταση στο PUN του οπότε η έξοδος του συνδέεται πιο αργά στην τάση. Για τους παραπάνω λόγους βγαίνουν αυτά τα αποτελέσματα

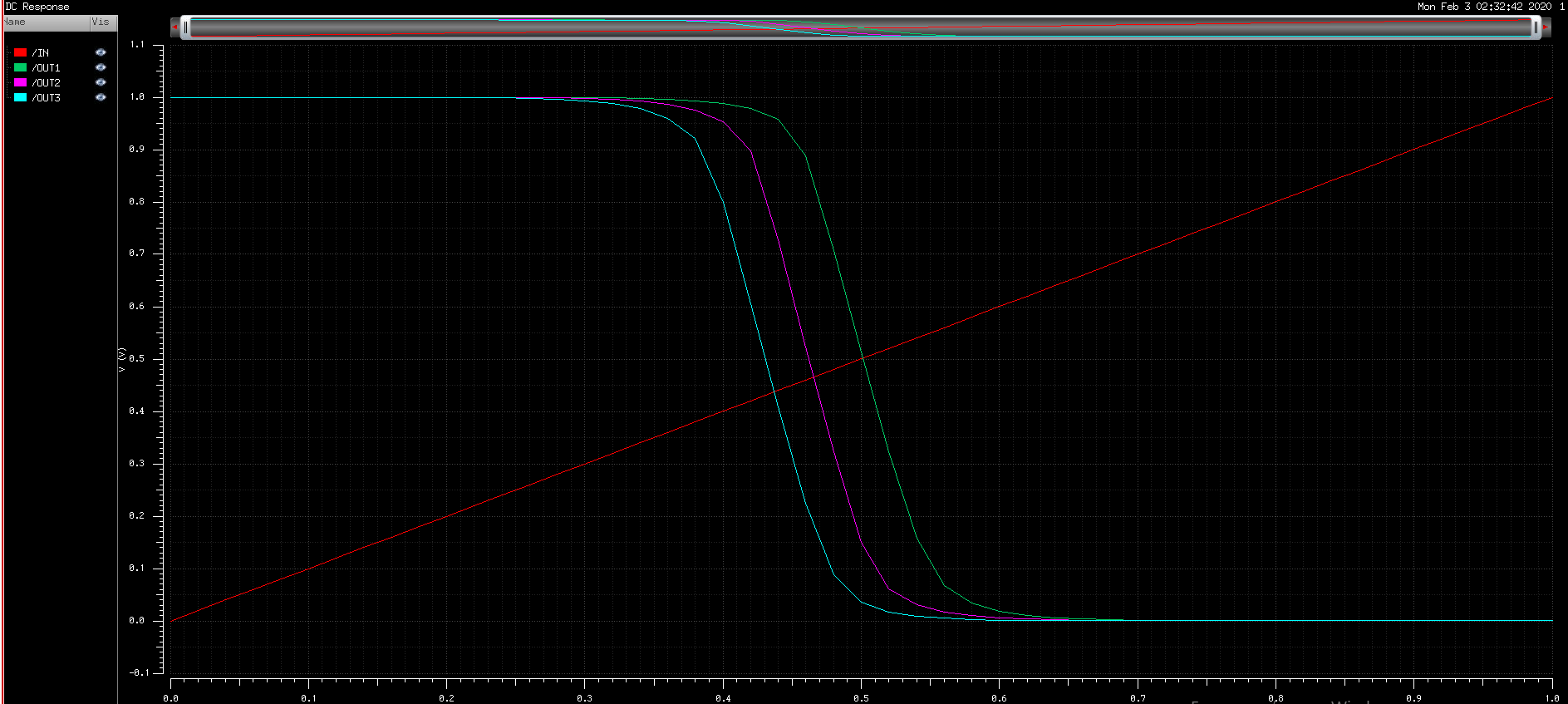
Χωρητικότητα ίση με 1f



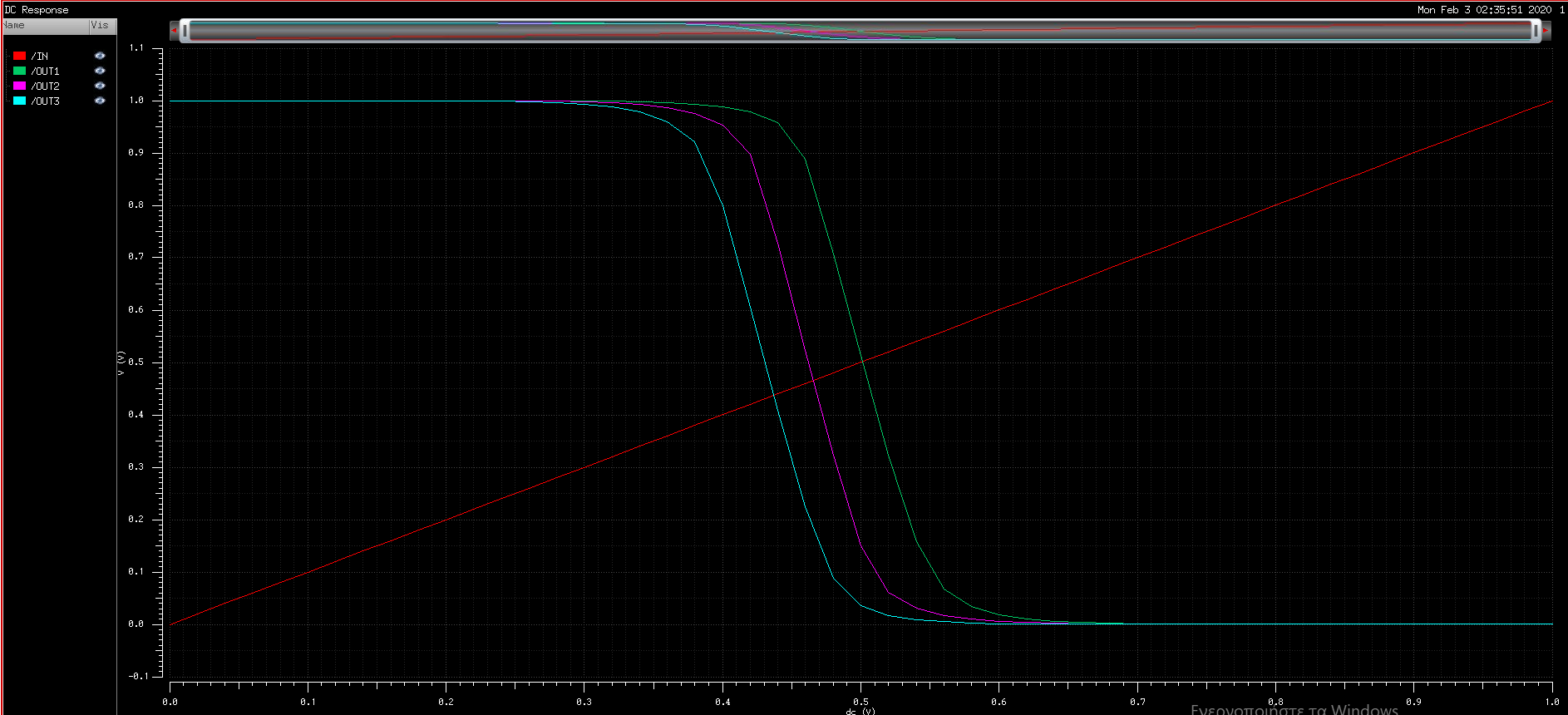
Συγκρίνοντας τις 2 αναλύσεις βλέπουμε κάποια διαφορά στο πόσο καθαρά βγαίνουν οι έξοδοι. Όταν έχουμε μεγαλύτερη χωρητικότητα στην έξοδο έχουμε πιο σταθερή την έξοδο οπότε και πιο καθαρή εικόνα.

Ακολουθεί η DC analysis:

Χωρητικότητα ίση με 1f



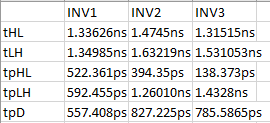
Χωρητικότητα ίση με 5f



Στις 2 εικόνες δεν βλέπουμε κάποια διαφορά στο αν η χωρητικότητα είναι 1f η 5f.

Με την DC analysis κάνουμε μελέτη των συνεχών σημάτων. Στην ουσία οι χαρακτηριστικές μεταφοράς DC ενός κυκλώματος συσχετίζουν την τάση εξόδου με την τάση εισόδου, υποθέτοντας ότι η είσοδος μεταβάλλεται αρκετά αργά ώστε οι χωρητικότητες να έχουν επαρκή χρόνο να φορτιστούν η να εκφορτιστούν.

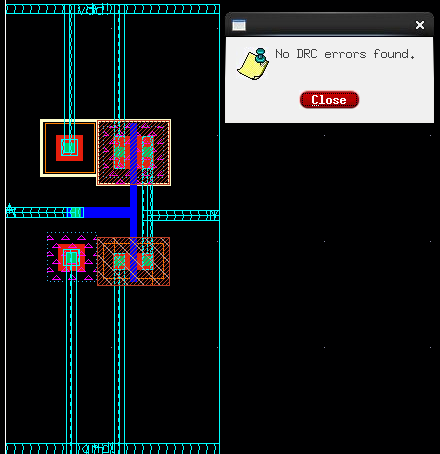
Παρακάτω παραθέτω τους χρόνους του κυκλώματος:

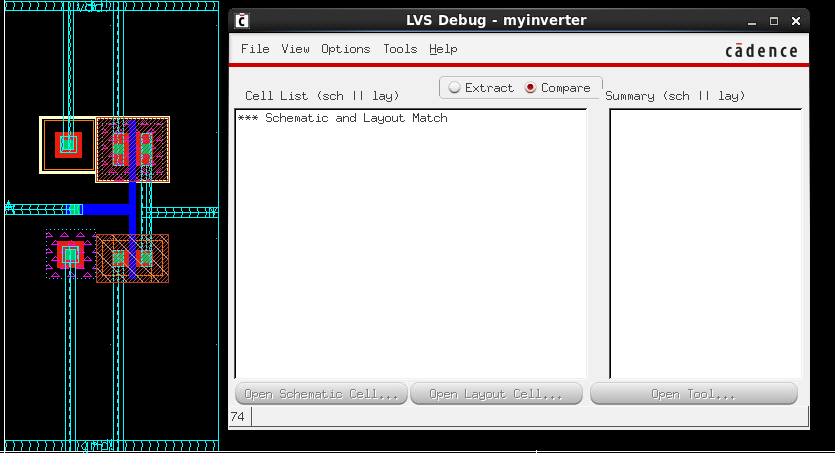


**ΑΣΚΗΣΗ 4**

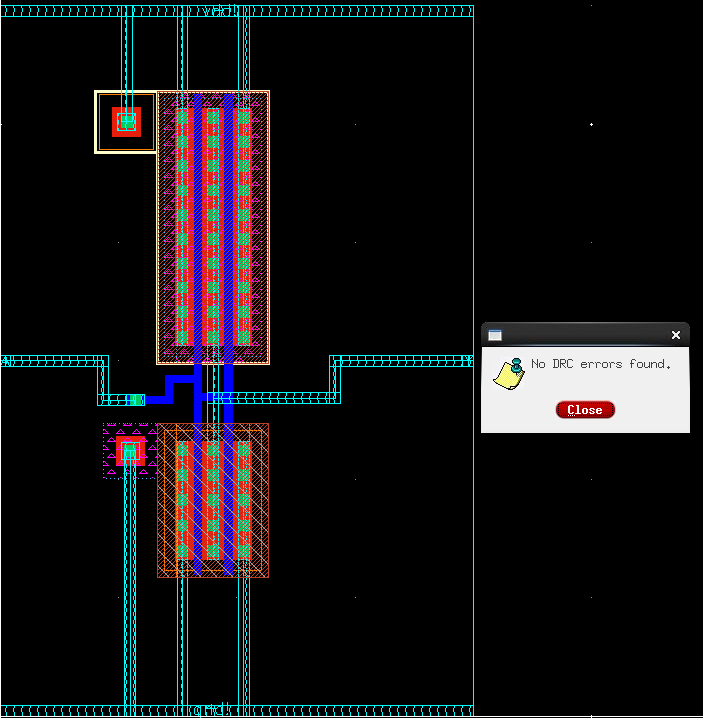
**Στην συγκεκριμένη άσκηση θα δείξουμε τα αποτελέσματα των layout της κάθε άσκησης που έχουμε δείξει μέχρι στιγμής. Δηλαδή τα αποτελέσματα των run DRC και run LVS.**

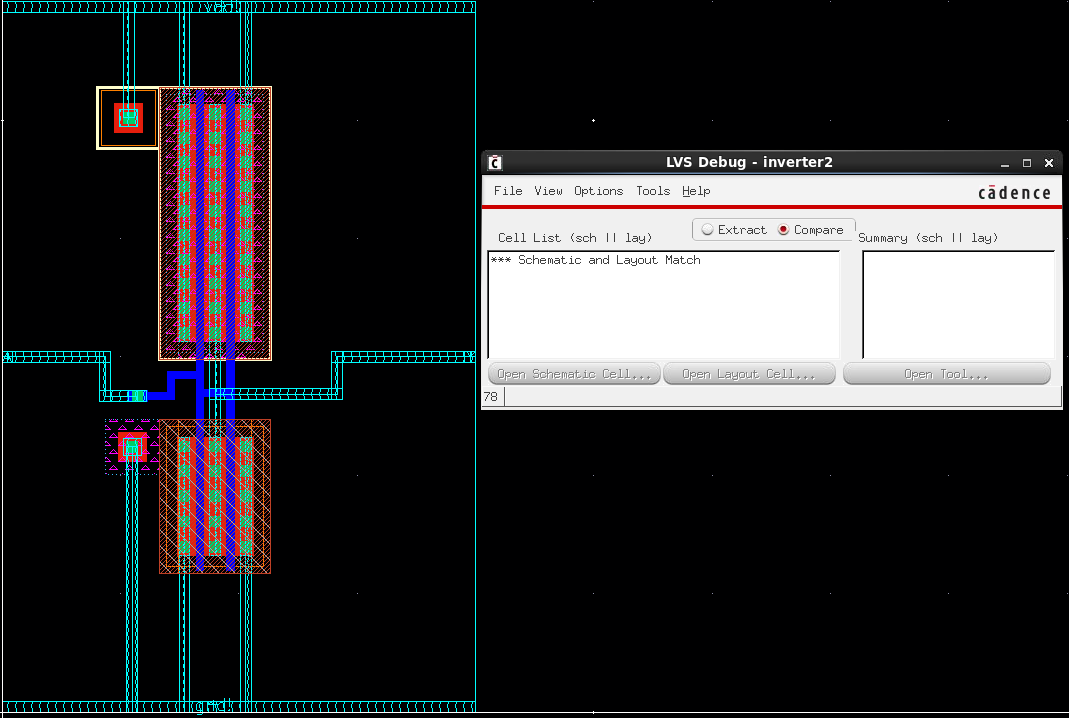
Ακολουθούν οι εικόνες των αποτελεσμάτων για κάθε άσκηση μέχρι στιγμής.



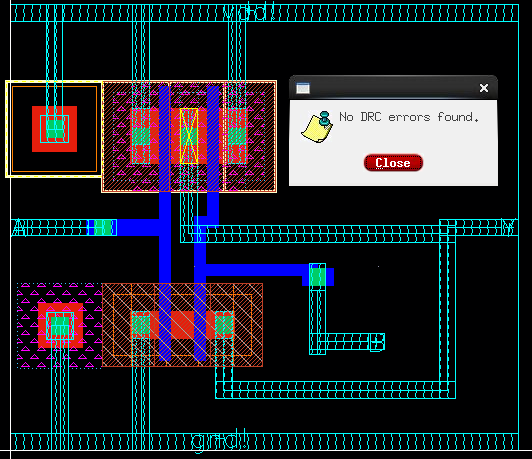


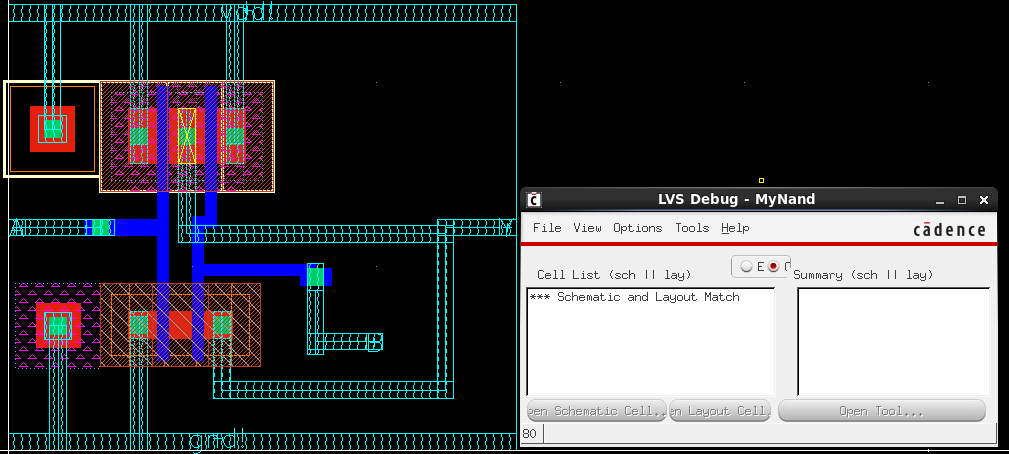
Πύλη NOT με 4μm και 2μm PMOS πλάτος και NMOS πλάτος αντίστοιχα και με finger 2



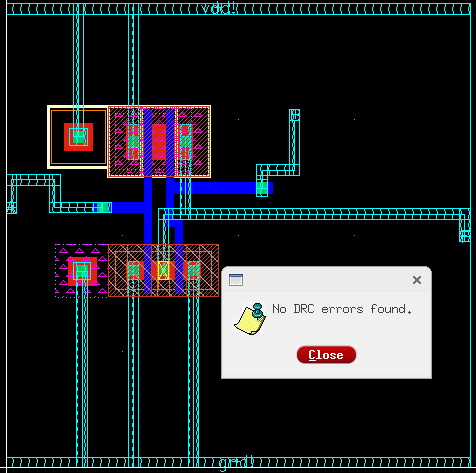
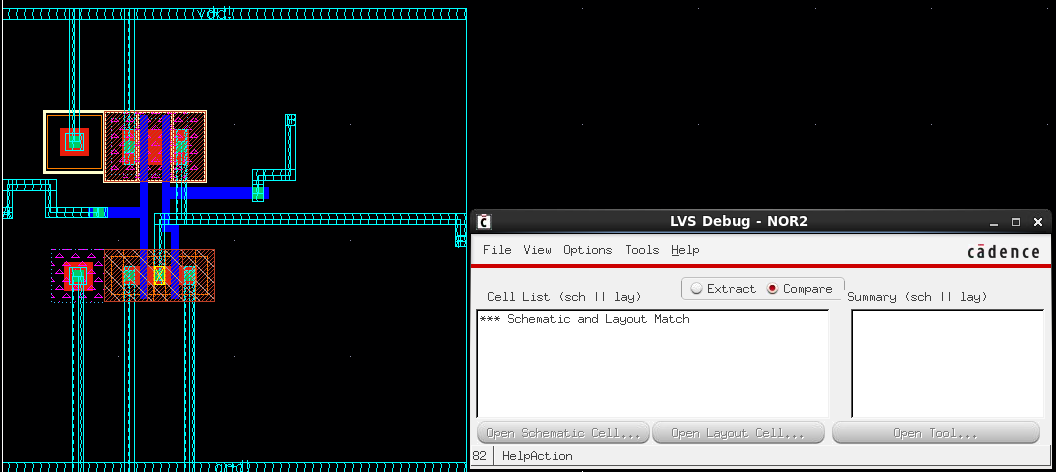


Πύλη NAND

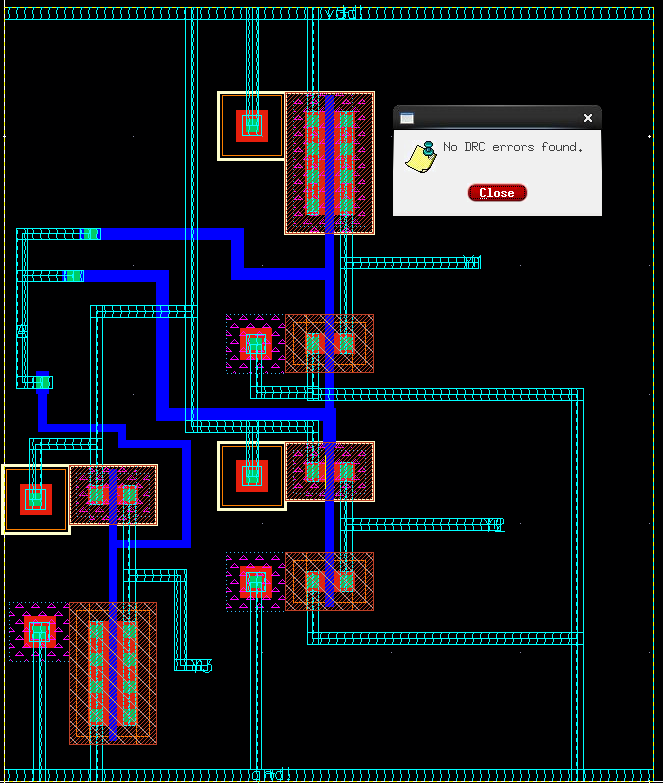


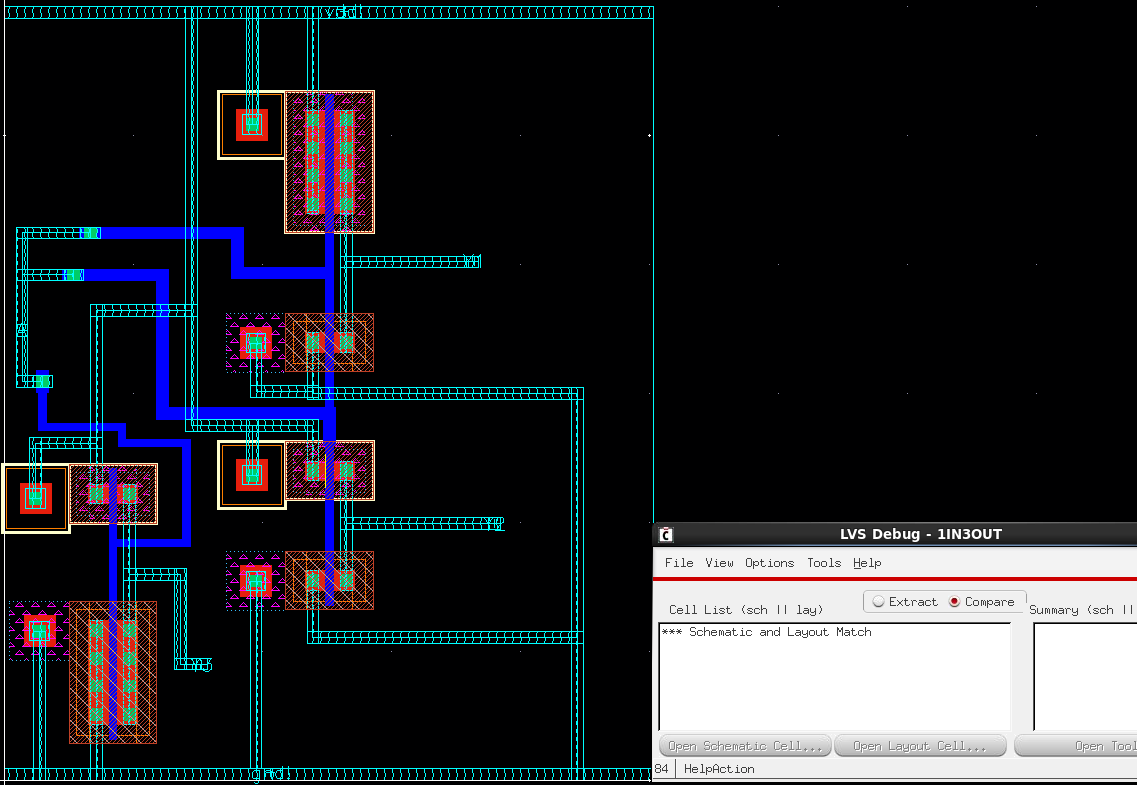


Πύλη NOR

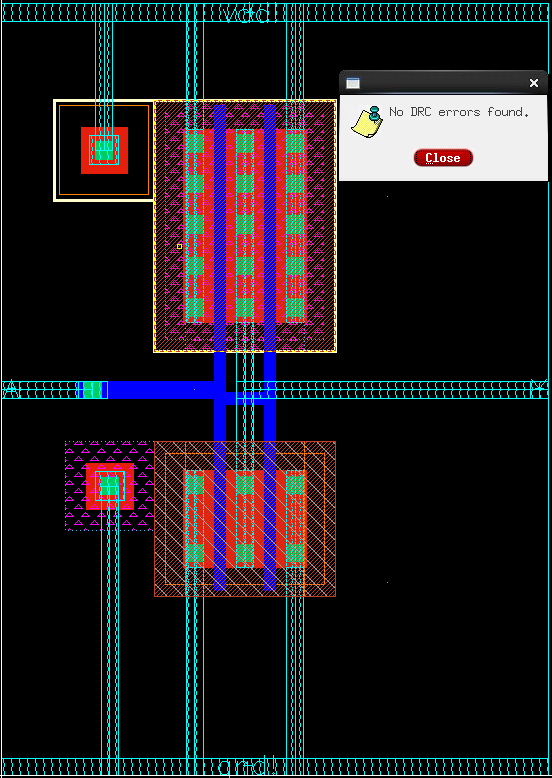
 

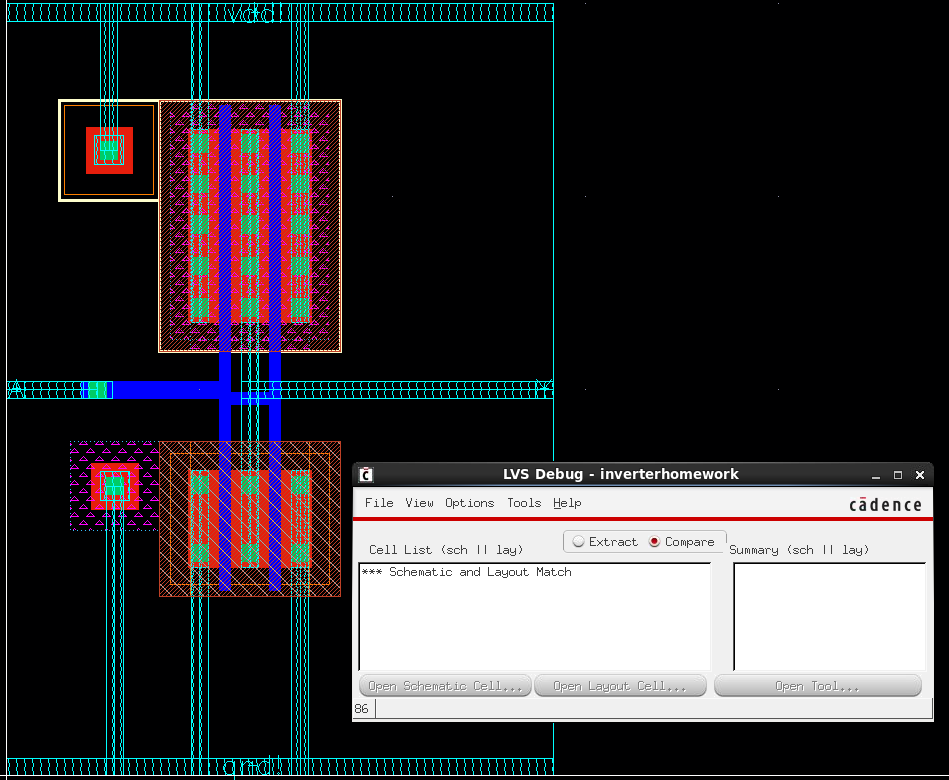
Layout κυκλώματος άσκησης 3:





Πύλη NOT της Άσκησης 1(εργασία για το σπίτι).

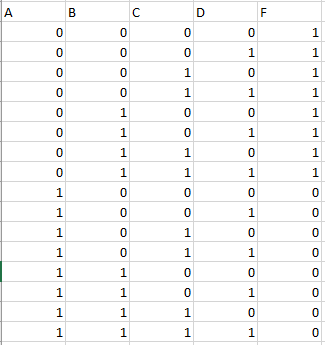




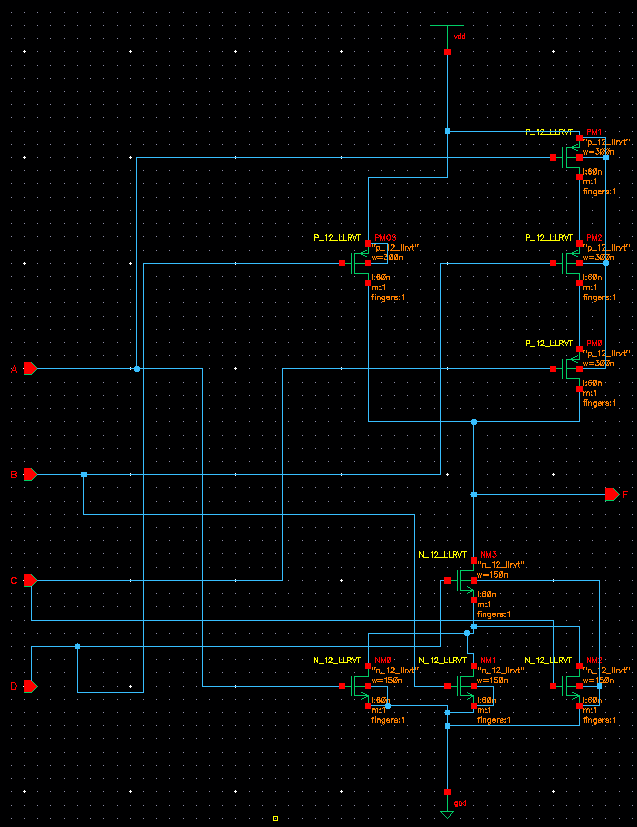
**ΑΣΚΗΣΗ 5**

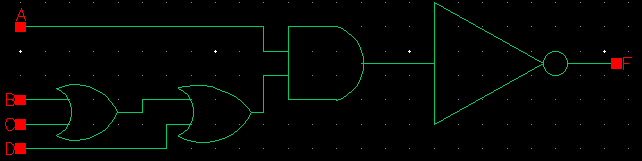
Πρέπει να σχεδιάσουμε κύκλωμα που να υλοποίει την παρακάτω συνάρτηση:F=(A\*(B+C+D))’

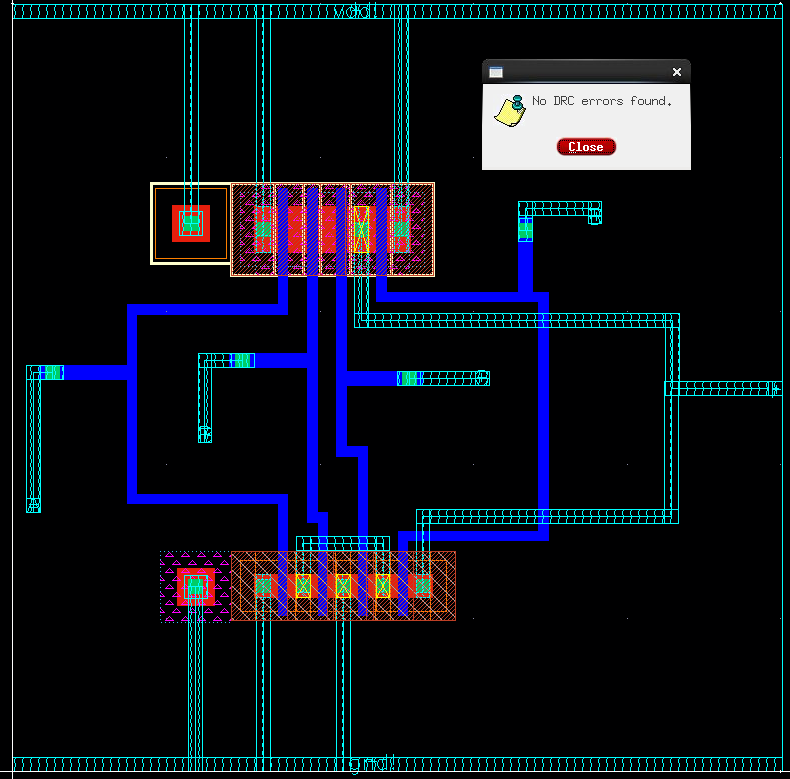
Πίνακας αληθείας κυκλώματος:

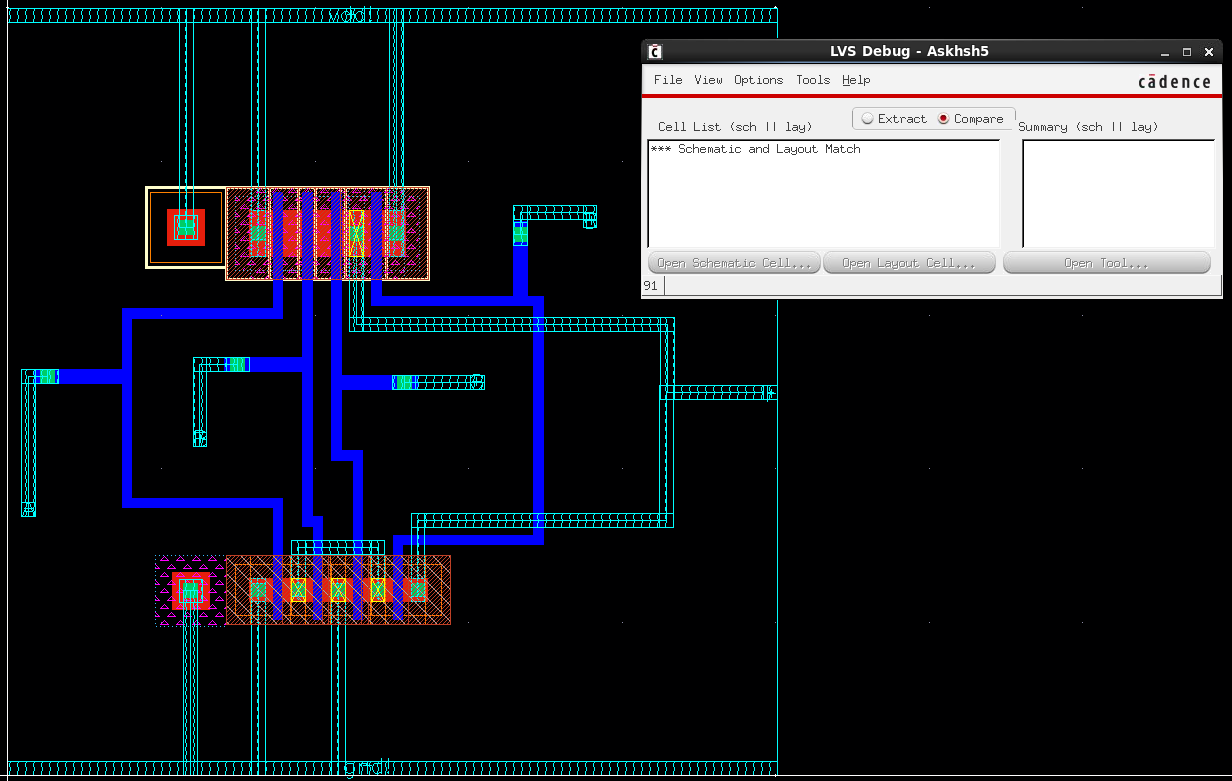


Παρακάτω ακολουθούν το schematic,symbol και το layout τoυ κυκλώματος:

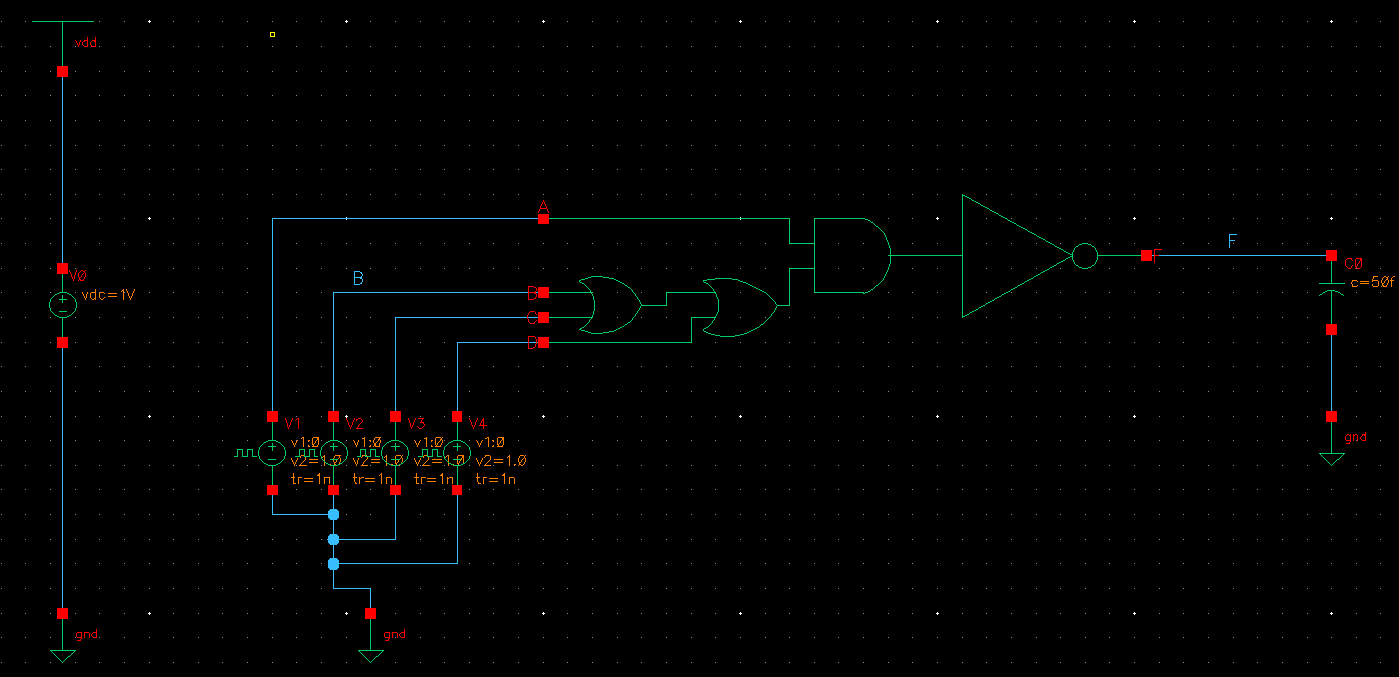




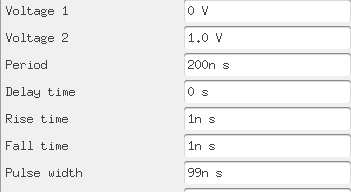


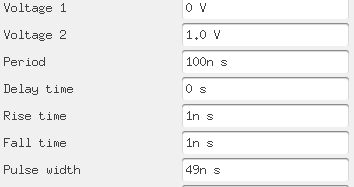


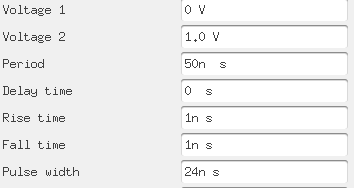
Στην συνέχεια βλέπουμε το simulation του κυκλώματος για να διαπιστώσουμε την ορθή λειτουργία του.

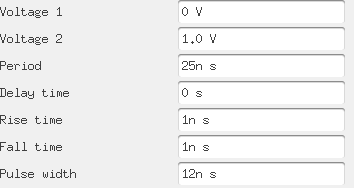


Στην κάθε είσοδο του κυκλώματος έχουμε βάλει μια γεννήτρια παλμών με τα εξής χαρακτηριστικά:

V1: 

V2: 

V3: 

V4: 

Εξομοιώνουμε το κύκλωμα μας κάνουμε transient analysis και παίρνουμε τα εξής αποτελέσματα:

Για c=50f



Κόκκινο: Είσοδος Α

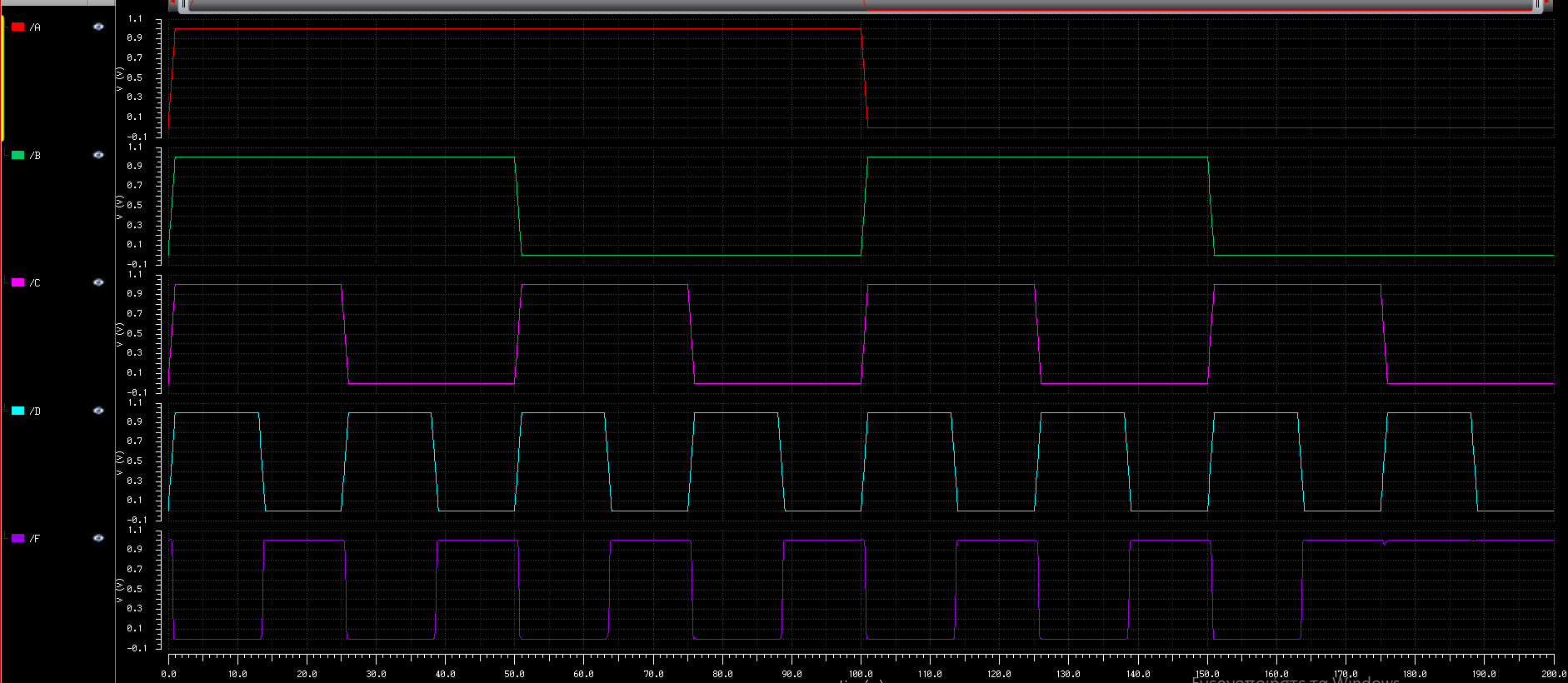
Πράσινο: Είσοδος Β

Ροζ: Είσοδος C

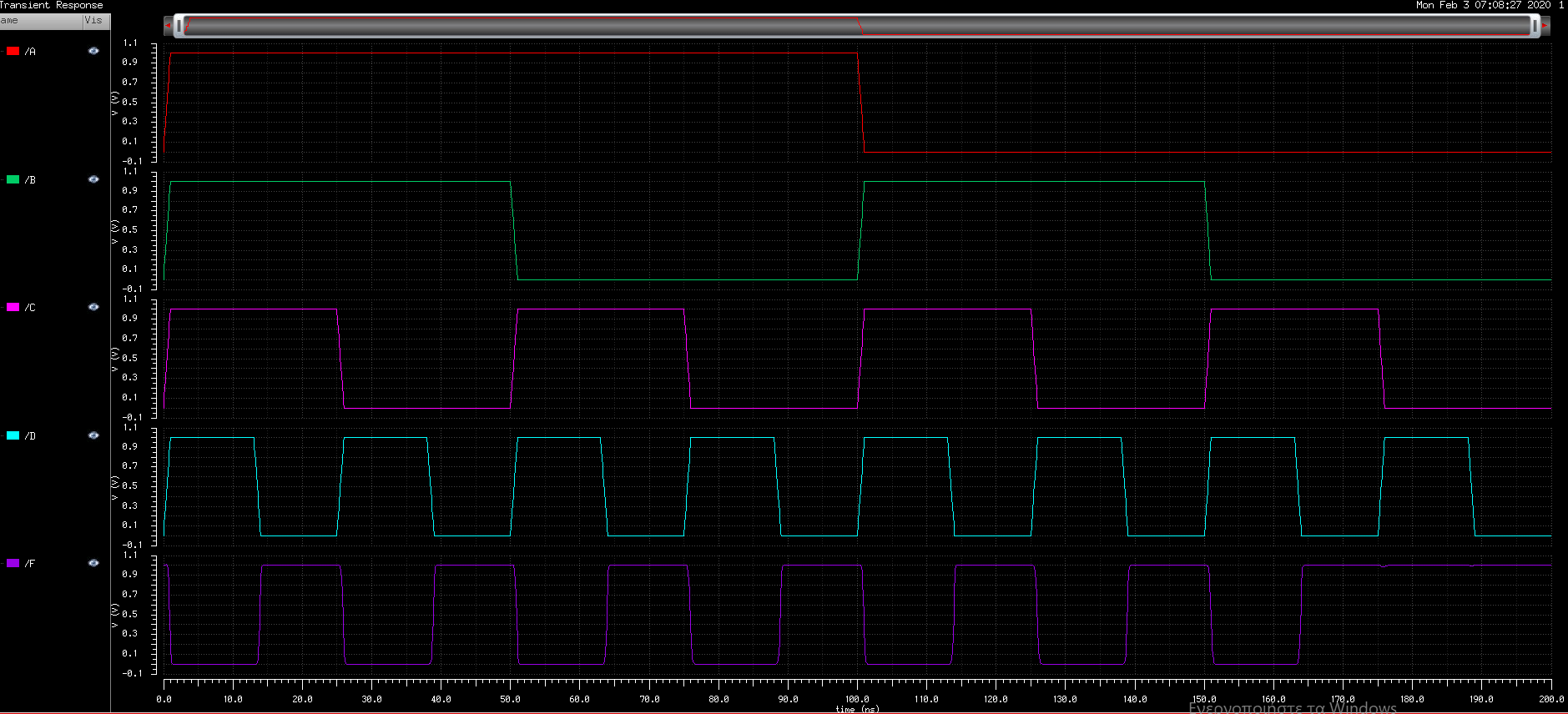
Γαλάζιο: Είσοδος D

Μωβ: Έξοδος F

Για c=1f

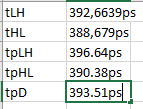


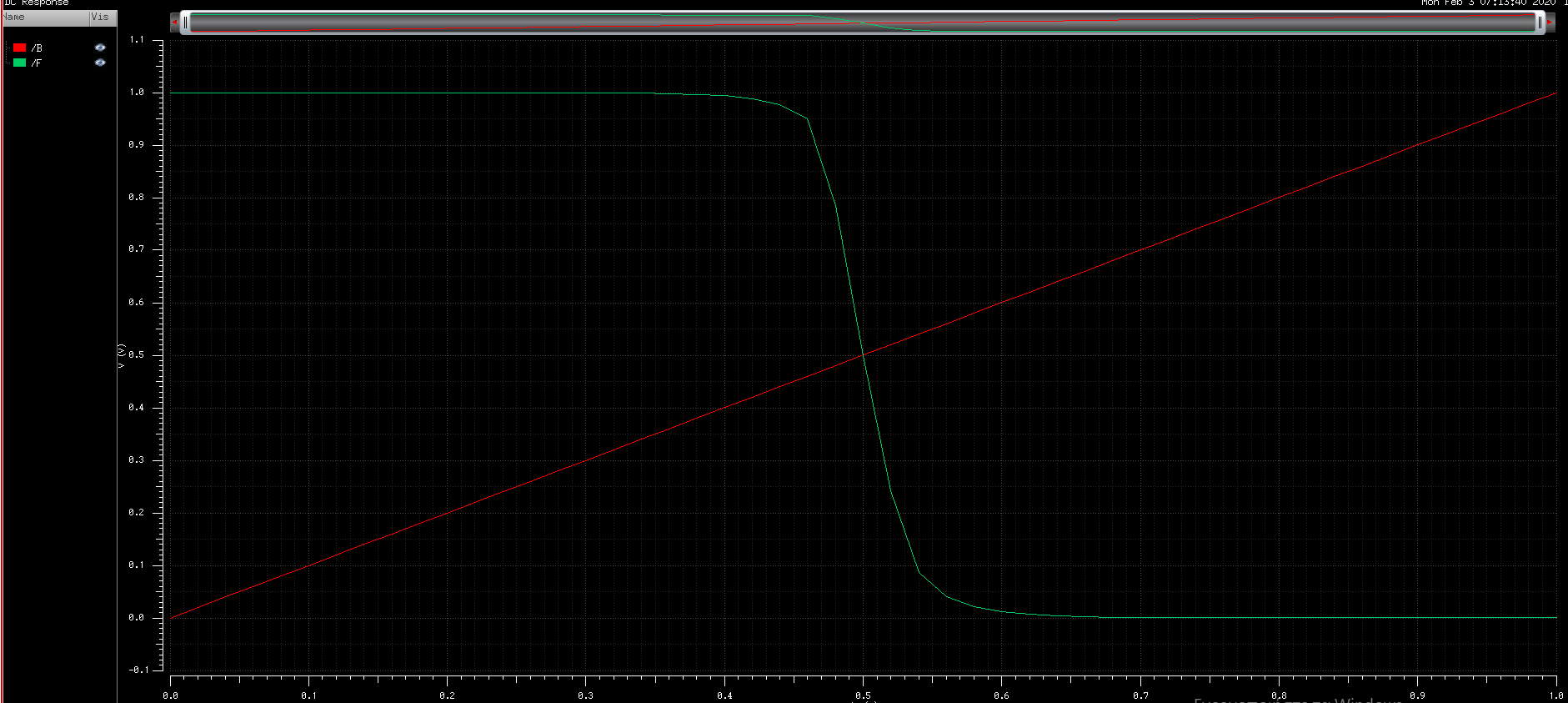
Για c=10f



Στην συνέχεια πρέπει να κάνουμε DC analysis όταν η έξοδος του κυκλώματος εξαρτάται μόνο από την τιμή της εισόδου Β. Αυτό το επιτυγχάνουμε οδηγώντας και της 4 εισόδους με την ίδια γεννήτρια παλμών V2.Ετσι η έξοδος μας θα εξαρτάται μόνο από την είσοδο Β.

Παρακάτω παραθέτω τους χρόνους του κυκλώματος:

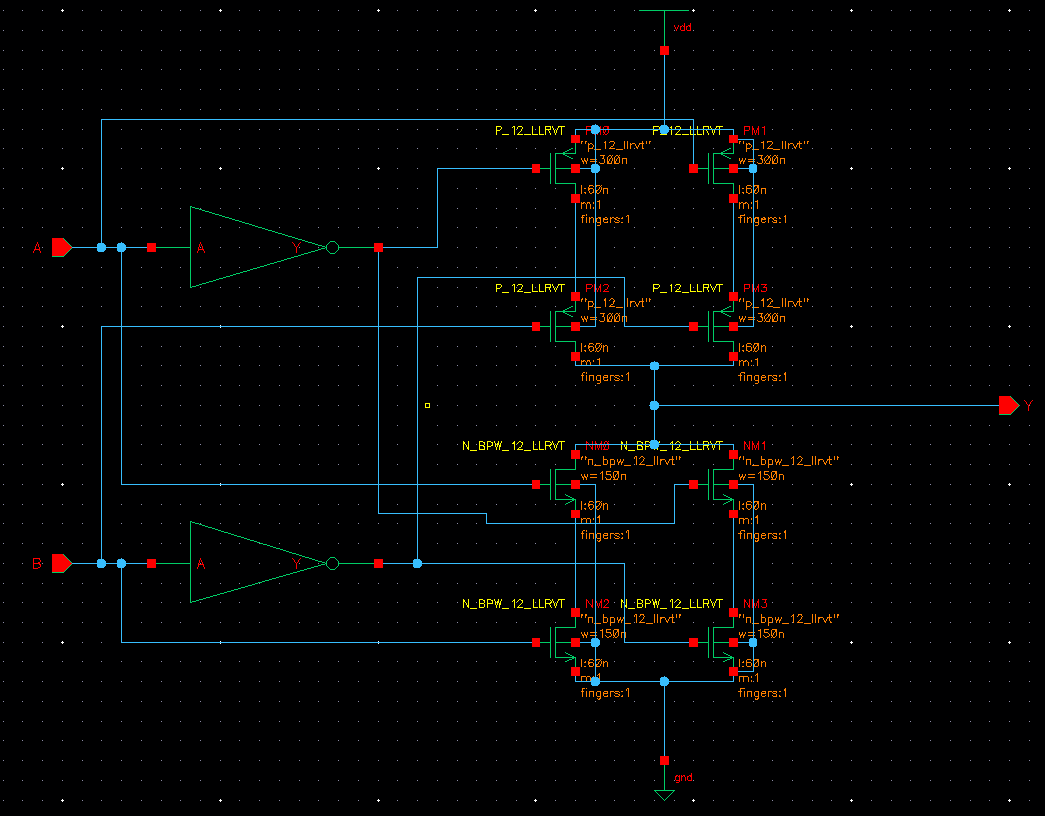


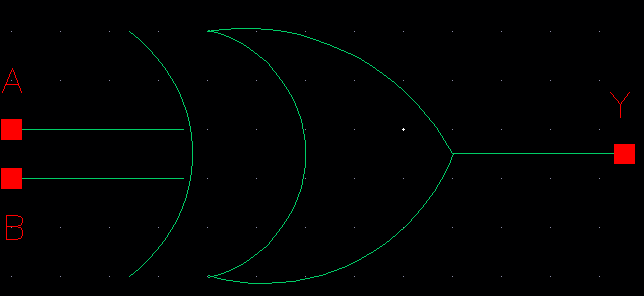
Ακολουθεί η DC analysis: 

**ΑΣΚΗΣΗ 6**

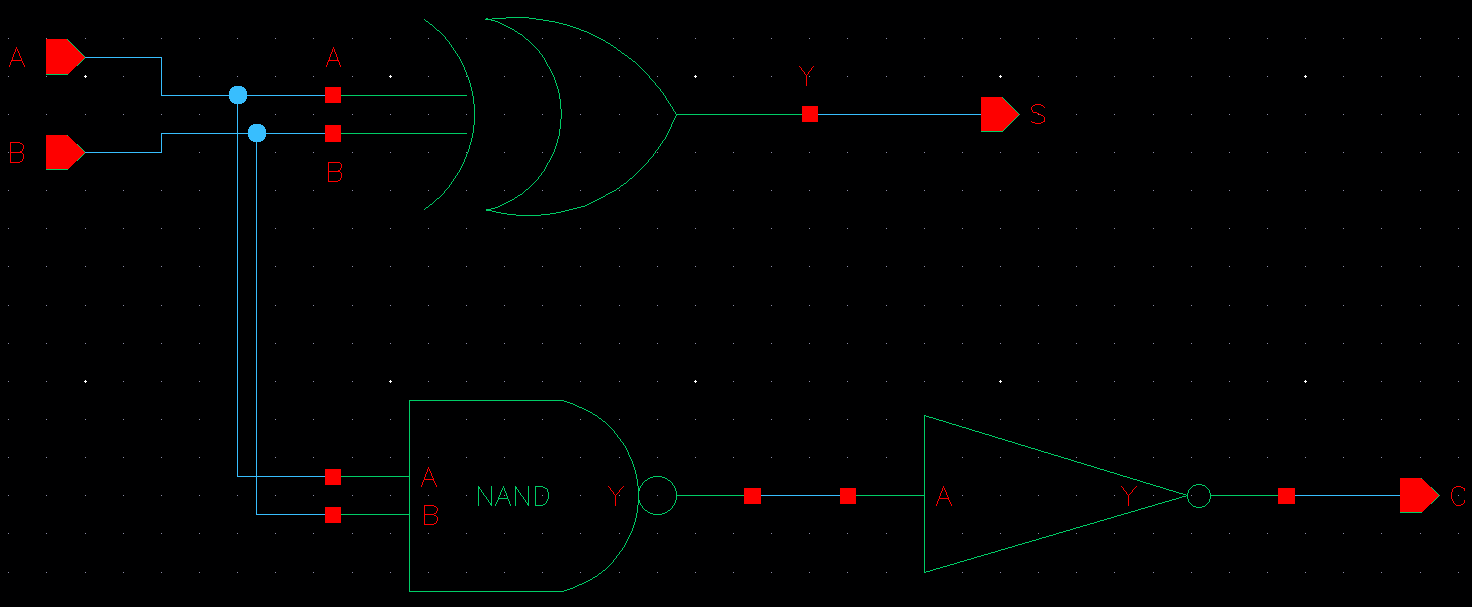
Πρεπει να σχεδιάσουμε έναν σειριακό αθροιστή των 4 bit.Θα χρησιμοποιήσουμε τα D flip-flops από τις έτοιμες βιβλιοθήκες και εμείς θα φτιάξουμε μόνοι μας τον FULL ADDER.Ένας Full Adder υλοποιείται από 2 HalfAdder 1 NOR και 1 NOT.Ο HalfAdder υλοποιείται με μία πύλη XOR, 1 πύλη NAND και 1 NOT.

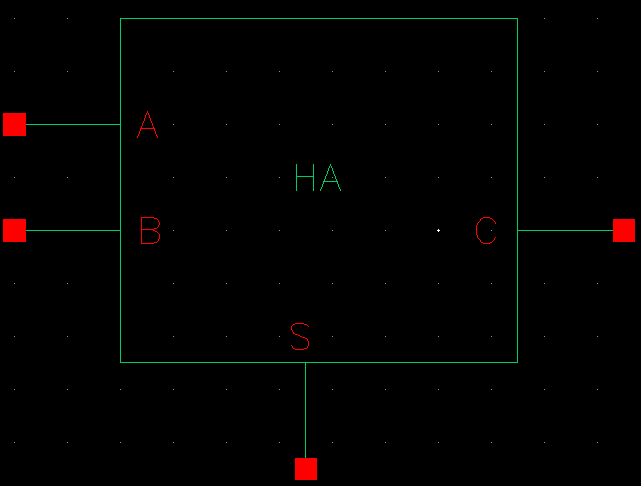
Παραθέτω στην συνέχεια το schematic & symbol της πύλης XOR



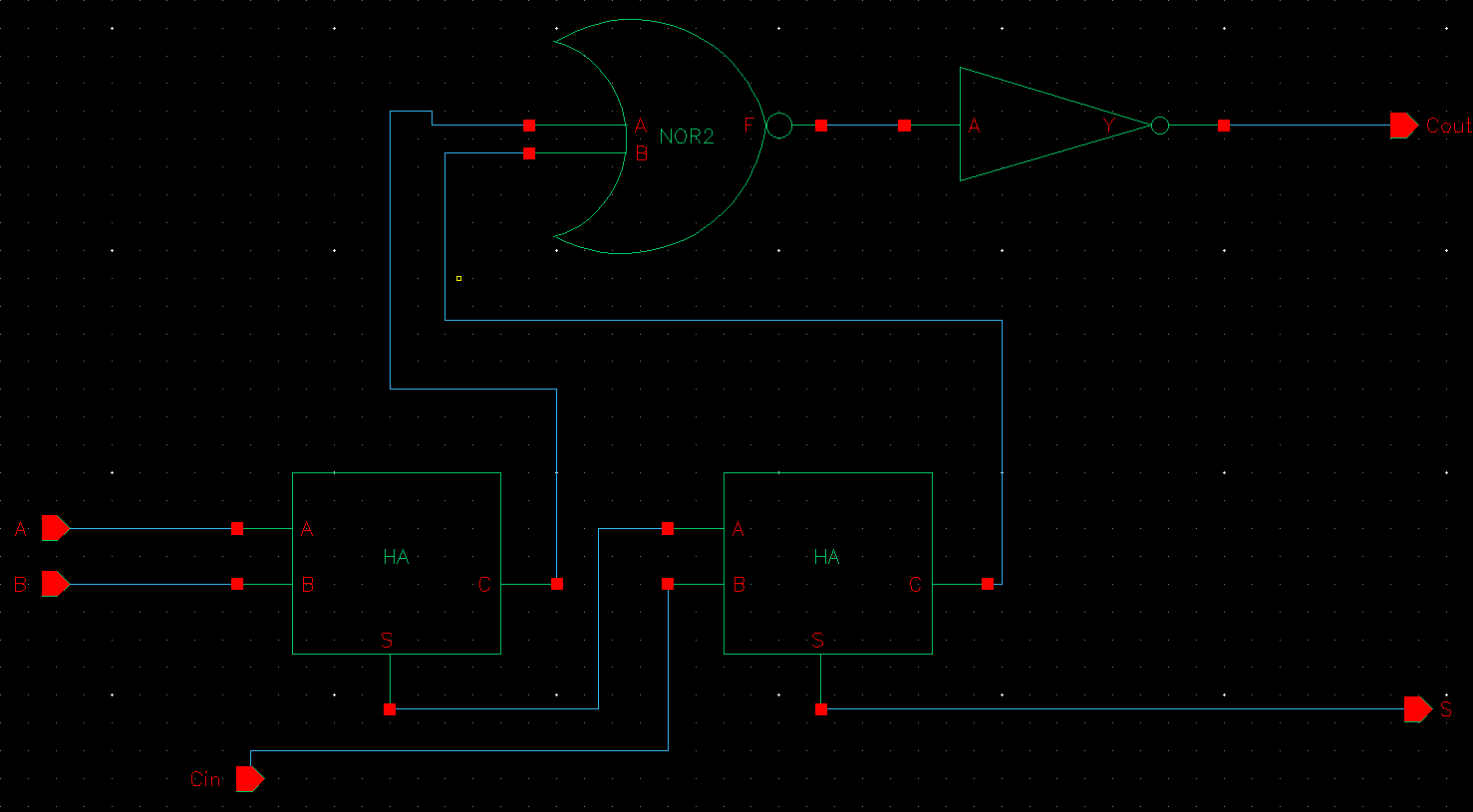


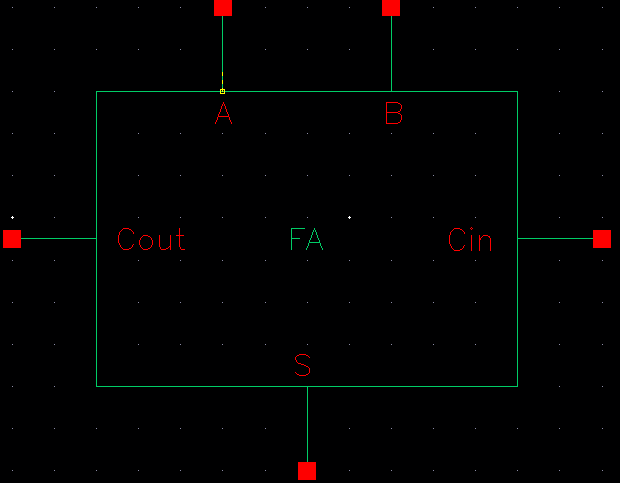
Ακολουθούν το schematic & symbol του HA.



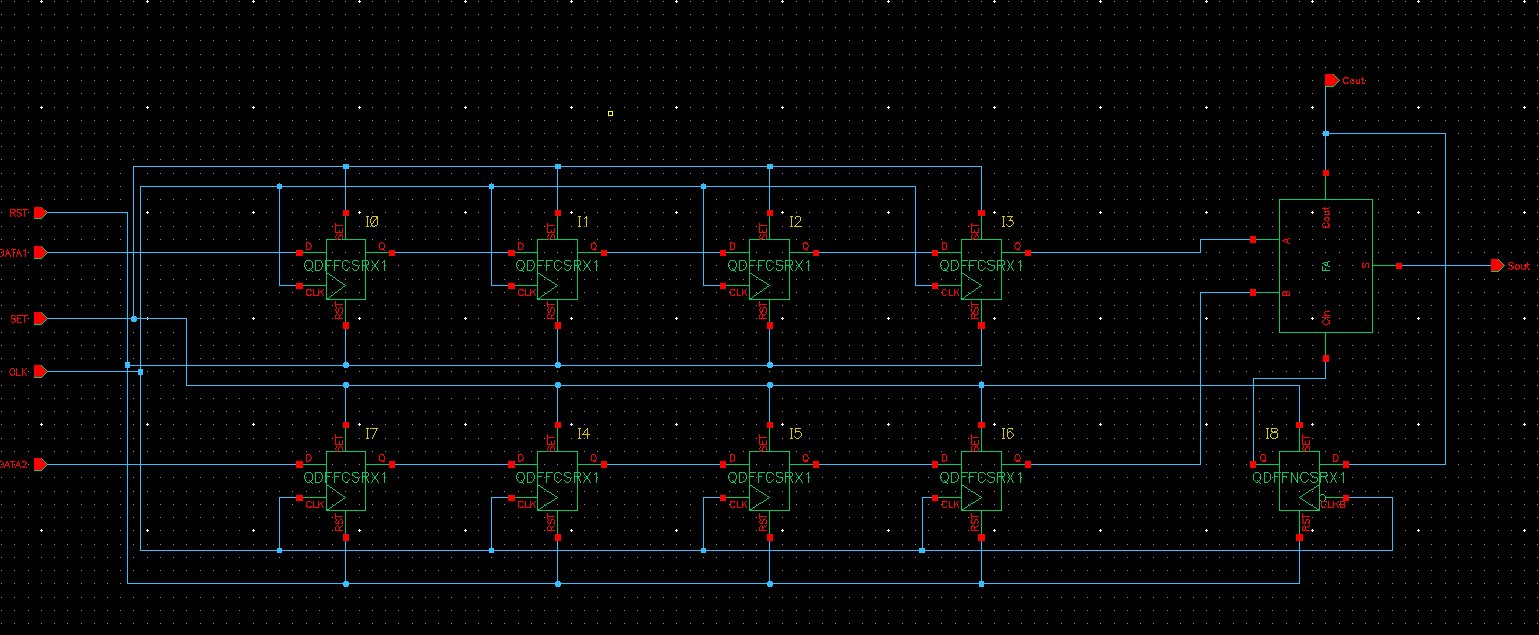


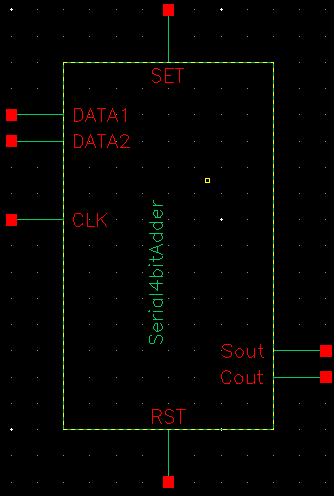
Οπότε τώρα μπορούμε να παραθέσουμε το schematic & symbol του FA.



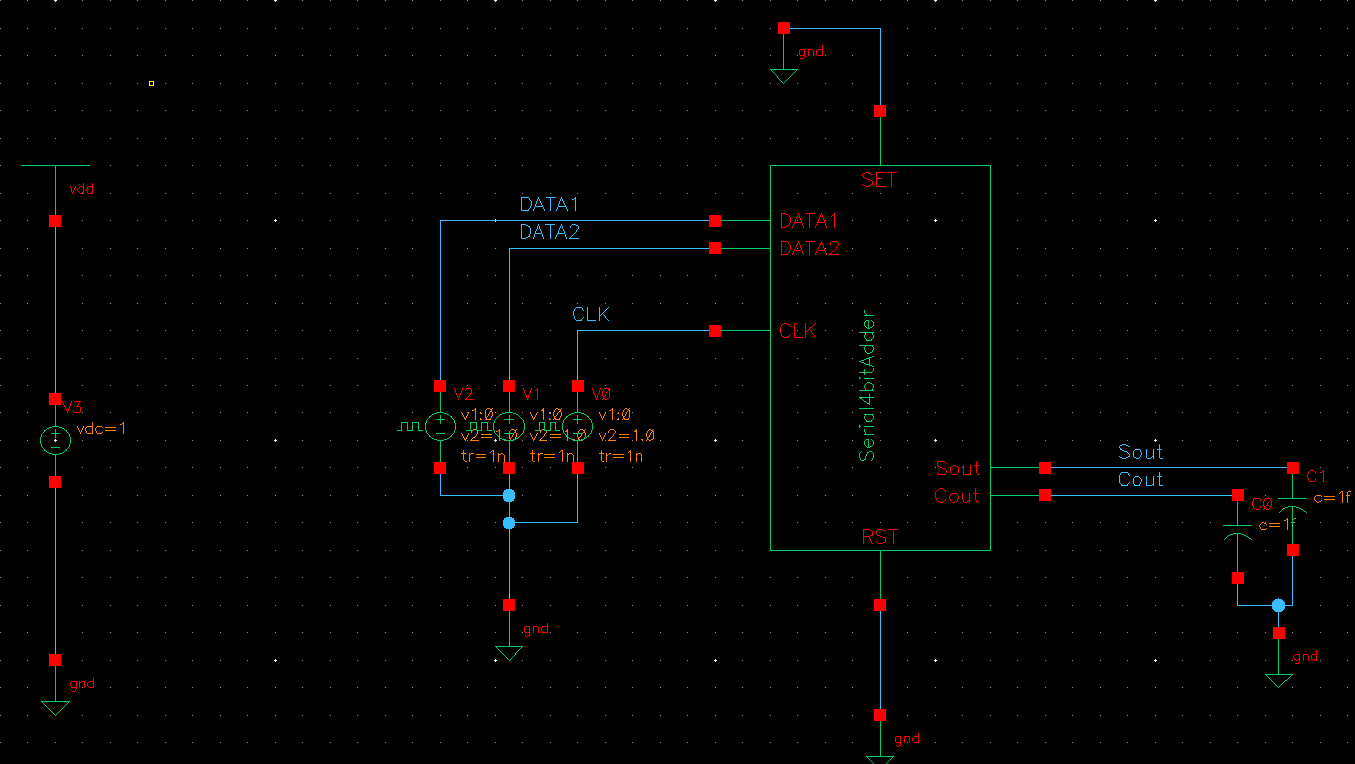


Και τελικά το κύκλωμα που μας ζητάει η άσκηση είναι το εξής:

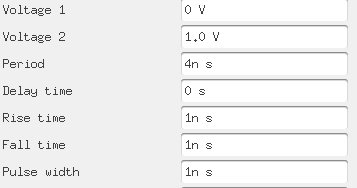


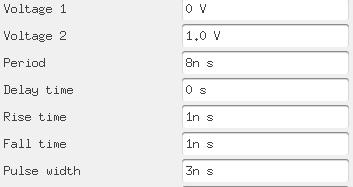
Και το σύμβολο του είναι αυτό: 

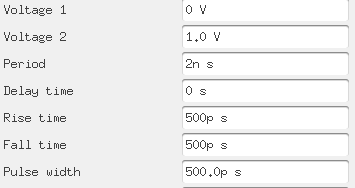
Στην συνέχεια βλέπουμε το simulation του κυκλώματος για να διαπιστώσουμε την ορθή λειτουργία του.



Στην κάθε είσοδο του κυκλώματος έχουμε βάλει μια γεννήτρια παλμών με τα εξής χαρακτηριστικά:

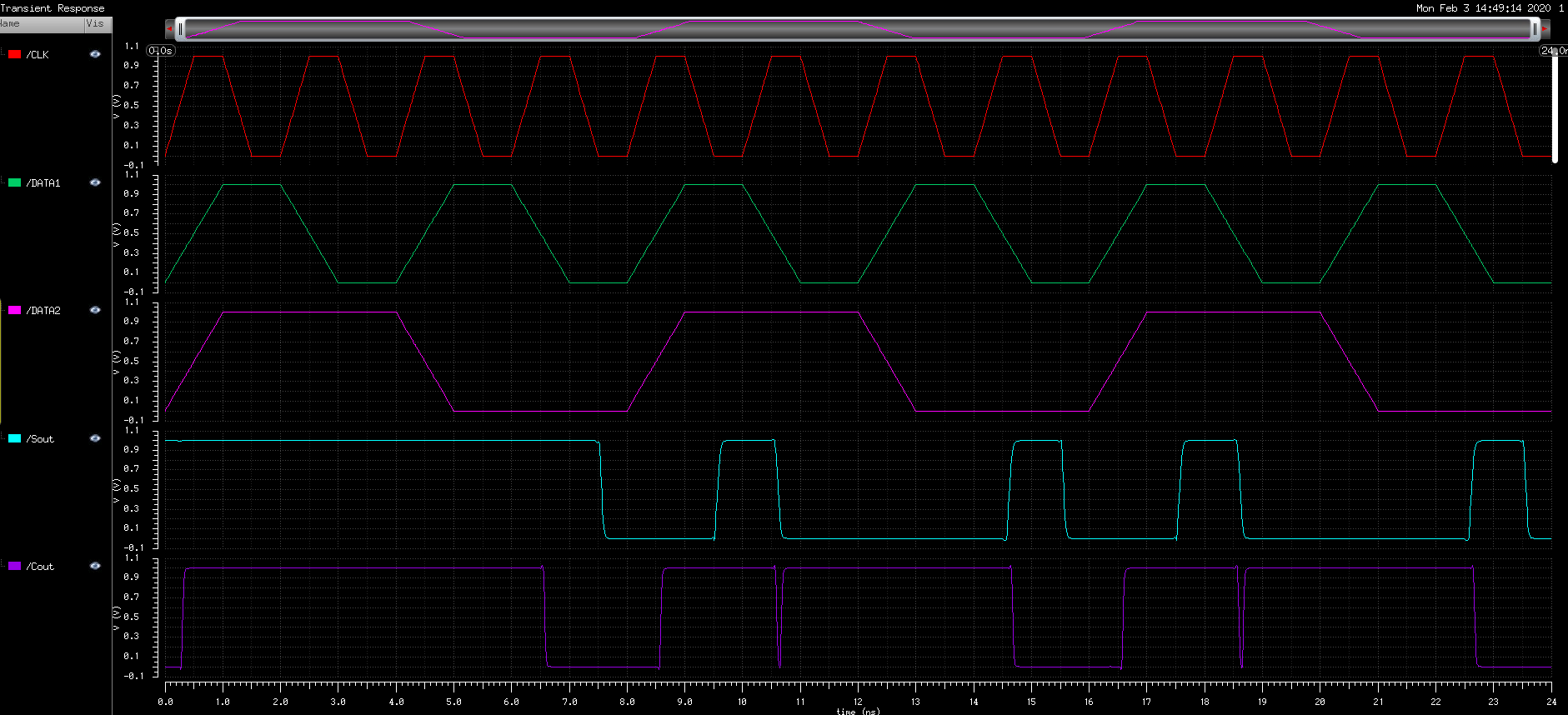
V0: 

V1: 

V2: 

Επίσης τις εισόδους των SET και RESET τις συνδέουμε με γείωση γιατι δεν θέλουμε να σετάρουμε ούτε να μηδενίσουμε τα D-FF μας.

Εξομοιώνουμε το κύκλωμα μας κάνουμε transient analysis και παίρνουμε τα εξής αποτελέσματα:



Κόκκινο: Σήμα ρολογιού

Πράσινο: Σήμα DATA1

Ροζ: Σήμα DATA2

Γαλάζιο: Σήμα εξόδου SOUT

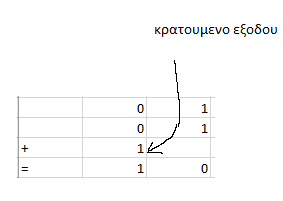
Μωβ: Σήμα εξόδου COUT

**Απάντησης Ερώτησης 1**:

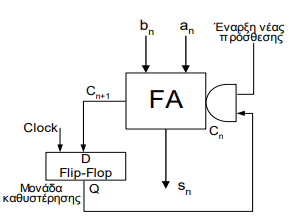
Ο λόγος που προτιμήθηκε η χρήση της κυψέλης QDFFNCSRX1 αντί της QDFFCSRX1 στην διάδοση κρατουμένου εξόδου είναι διότι σε περίπτωση που χρησιμοποιούσαμε την δεύτερη κυψελίδα το κρατούμενο εξόδου θα έμπαινε στην είσοδο του κρατουμένου εισόδου την ίδια χρονική στιγμή και όχι στην επόμενη που θέλουμε να προστεθεί οπότε θα είχαμε το εξής πρόβλημα. Για παράδειγμα θέλουμε να προσθέσουμε τους αριθμούς 1(01) και 1(01).Αν είχαμε βάλει την δεύτερη κυψέλη θα γινόταν το εξής:



που βγάζει αποτέλεσμα ίσο με 1 που είναι λάθος αφού 1+1=2.Δηλαδή το κρατούμενο εξόδου θα προστεθεί στην κατάσταση από την οποία και είχαμε κρατούμενο εξόδου και όχι στην επόμενη

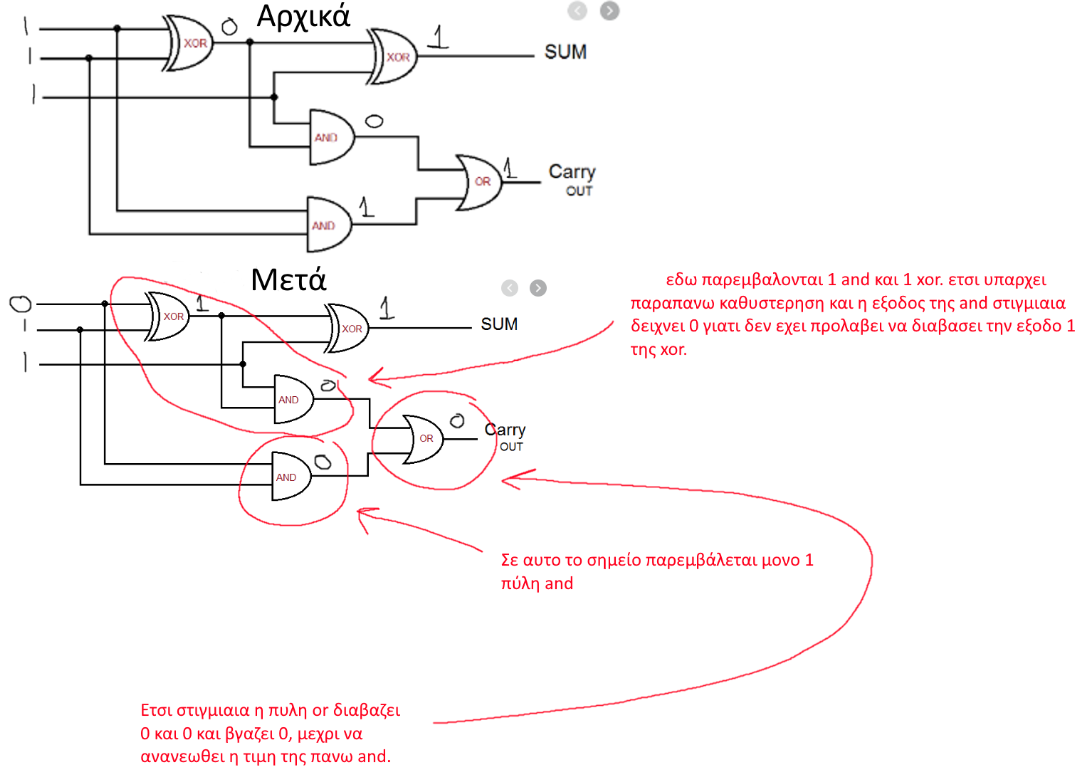
Οπού θα έβγαζε και σωστό αποτέλεσμα: 

**Απάντηση Ερώτησης 2:**

Θα μπορούσαμε να χρησιμοποιήσουμε την κυψέλη QDFFCSRX1 εάν στην έξοδο Q της συγκεκριμένης κυψέλης την περνάγαμε μέσα από μια πύλη AND που θα είχε ως είσοδο το Q της κυψελίδας αυτής και μια άλλη είσοδο που θα μας ενημέρωνε για την έναρξη της νέας πρόσθεσης. Για παράδειγμα βλέπουμε την εικόνα:.Το άλλο και πιο απλό που μπορούμε να κάνουμε είναι να περάσουμε το σήμα ρολογιού μέσα από μια ΝΟΤ και μετά την έξοδο της στην είσοδο ρολογιού της κυψελίδας

**Απάντηση Ερώτησης 3:**

Σύμφωνα με τους δικούς μου χρονισμούς παρατηρώ αυτή την συμπεριφορά στα 10.6ns.Ο λόγος που γίνεται αυτό φαίνεται ξεκάθαρα στη παρακάτω εικόνα:



**Απάντηση Ερώτησης 4:**

Την χρονική στιγμή 15 ns στην έξοδο SOUT & COUT έχω ότι SOUT=1 και COUT=0.Για να βρω ποιες τιμές τις εισόδου μου βγάλανε τα παραπάνω αποτελέσματα πρέπει να γυρίσω πίσω 4 κύκλους και να κοιτάξω την θετική ακμή του ρολογιού και οπότε βρισκω ότι DATA1=1 & DATA2=0.Αυτο γίνεται στην χρονική στιγμή 6.25ns

**ΠΑΡΑΠΟΜΠΗ 1**:Λοιπον οι χρόνοι tLH,tLH,tpLH,tpHL,tpD δηλώνουν τα εξής:

tHL: Ο χρόνος μετάβασης εξόδου από την λογική καθόδου

tLH: Ο χρόνος μετάβασης εξόδου από το λογικό ‘0’ στο λογικό ένα ‘1’ δηλαδή ο χρόνος ανόδου

tpLH: Ο χρόνος καθυστέρησης κατά τη μετάβαση της εξόδου από την λογική ‘1’ στο ‘0’ η αλλιώς ο χρόνος καθυστέρησης καθόδου

tpHL: Ο χρόνος καθυστέρησης κατά τη μετάβαση της εξόδου από το ‘1’ στο ‘0’ η αλλιώς ο χρόνος καθυστέρησης ανόδου

tpD: Είναι η μέση καθυστέρηση διάδοσης η αλλιώς η καθυστέρηση της πύλης. Έχει τύπο tpD=(tpHL+tpLH)/2

**ΠΑΡΑΠΟΜΠΗ 2:**

Όπως είδαμε στις ασκήσεις που είχαμε παραπάνω από μια είσοδο για να υπολογίσουμε σωστά το χρόνο καθυστέρησης της πύλης θα έπρεπε για κάθε είσοδο εκεί που αλλάζει την κατάσταση της εξόδου να βρούμε τους χρόνους tpLH και tpHL όμως για το λόγο ότι θέλουμε απλά να δούμε την διαδικασία παραθέτουμε τους χρόνους tpLH και tpHL για μια από τις εισόδους που θέλουμε εμείς